(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0038342
(43) 공개일자 2020년04월13일

(51) 국제특허분류(Int. Cl.)
H01L 27/15 (2006.01) *H01L 33/20* (2010.01)
H01L 33/40 (2010.01) *H01L 33/52* (2010.01)
H01L 33/58 (2010.01)
(52) CPC특허분류
H01L 27/156 (2013.01)
H01L 33/20 (2013.01)
(21) 출원번호 10-2018-0117271
(22) 출원일자 2018년10월02일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김웅식
경기도 화성시 동탄대로시범길 20 1412동 3003호
한세희
서울특별시 관악구 성현로 80 관악드림타운 104동 901호
(74) 대리인
특허법인 고려

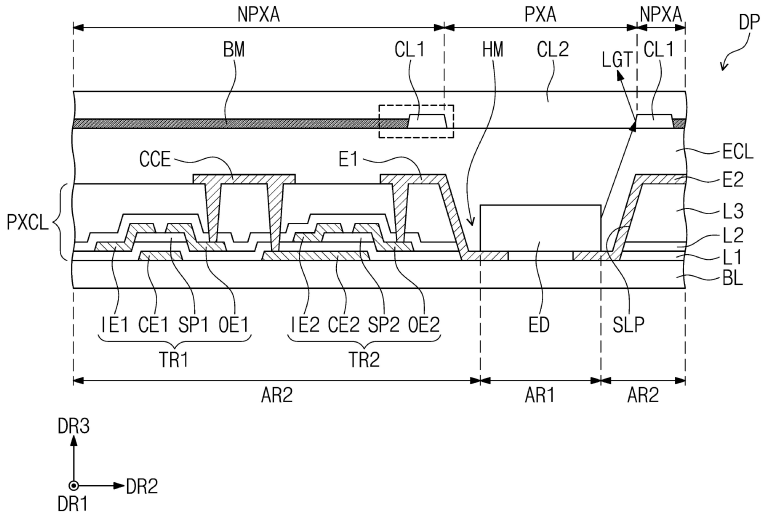
전체 청구항 수 : 총 27 항

(54) 발명의 명칭 **표시 장치**

(57) 요 약

표시 장치는 베이스층, 상기 베이스층 위에 배치되며 화소 회로 및 복수의 절연층들을 포함하는 화소 회로층, 상기 화소 회로와 전기적으로 연결된 제1 전극, 상기 제1 전극과 이격된 제2 전극, 상기 제1 전극 및 상기 제2 전극과 전기적으로 연결된 발광 소자, 상기 화소 회로층 위에 배치되며, 제1 굴절률을 갖는 제1 굴절층, 및 상기 발광 소자 위에 배치되며, 상기 제1 굴절률보다 높은 제2 굴절률을 갖는 제2 굴절층을 포함할 수 있다.

대 표 도 - 도4



(52) CPC특허분류
H01L 33/40 (2013.01)
H01L 33/52 (2013.01)
H01L 33/58 (2013.01)

명 세 서

청구범위

청구항 1

제1 영역 및 상기 제1 영역에 인접한 제2 영역을 포함하는 베이스층;

상기 베이스층 위에 배치되며 화소 회로 및 복수의 절연층들을 포함하는 화소 회로층;

상기 화소 회로와 전기적으로 연결된 제1 전극;

상기 제1 전극과 이격되며, 상기 제1 전극과 동일한 층 상에 배치된 제2 전극;

상기 제1 전극 및 상기 제2 전극과 전기적으로 연결된 발광 소자;

상기 화소 회로층 위에 배치되며, 제1 굴절률을 갖는 제1 굴절층; 및

상기 발광 소자 위에 배치되며, 상기 제1 굴절률보다 높은 제2 굴절률을 갖는 제2 굴절층을 포함하고, 상기 제1 영역은 상기 발광 소자 및 상기 제2 굴절층과 중첩하고, 상기 제2 영역은 상기 제1 굴절층과 중첩하는 표시 장치.

청구항 2

제1 항에 있어서,

상기 발광 소자는 마이크로 발광 다이오드 소자인 표시 장치.

청구항 3

제1 항에 있어서,

상기 발광 소자 및 상기 화소 회로층을 커버하는 봉지층을 더 포함하는 표시 장치.

청구항 4

제3 항에 있어서,

상기 제1 굴절층 및 상기 제2 굴절층은 상기 봉지층 위에 배치되며, 상기 제1 굴절층은 평면 상에서 상기 제1 영역을 둘러싸며 배치되고, 상기 제2 굴절층은 상기 제1 영역 및 상기 제2 영역과 중첩하는 표시 장치.

청구항 5

제3 항에 있어서,

상기 봉지층 위에 배치되며, 상기 화소 회로와 중첩하는 차광층을 더 포함하는 표시 장치.

청구항 6

제5 항에 있어서,

상기 차광층과 상기 제1 굴절층은 서로 인접하여 배치되며, 상기 차광층 및 상기 제1 굴절층은 상기 제2 굴절층에 의해 커버되는 표시 장치.

청구항 7

제5 항에 있어서,

상기 제1 굴절층은 상기 차광층 위에 배치되어, 상기 차광층을 커버하는 표시 장치.

청구항 8

제4 항에 있어서,

상기 제1 영역과 중첩하며, 상기 봉지층 및 상기 제2 굴절층 사이에 배치된 컬러 필터층을 더 포함하는 표시 장치.

청구항 9

제8 항에 있어서,

상기 제2 굴절층 위에 배치되며, 상기 화소 회로와 중첩하는 차광층; 및

상기 제2 굴절층 위에 배치되고, 상기 차광층을 커버하며 평탄면을 제공하는 평탄화층을 더 포함하는 표시 장치.

청구항 10

제4 항에 있어서,

상기 제2 굴절층 위에 배치되며, 상기 화소 회로와 중첩하는 차광층; 및

상기 제2 굴절층 위에 배치되고, 상기 제1 영역과 중첩하는 컬러 필터층을 더 포함하는 표시 장치.

청구항 11

제4 항에 있어서,

상기 봉지층 아래에 배치되고, 상기 발광 소자를 커버하며 제3 굴절률을 갖는 패턴층을 더 포함하고, 상기 봉지층은 상기 제3 굴절률보다 낮은 제4 굴절률을 갖는 표시 장치.

청구항 12

제11 항에 있어서,

상기 제2 굴절층 위에 배치되며, 상기 화소 회로와 중첩하는 차광층; 및

상기 제2 굴절층 위에 배치되며, 상기 발광 소자와 중첩하는 컬러 필터를 더 포함하는 표시 장치.

청구항 13

제11 항에 있어서,

상기 봉지층과 상기 제2 굴절층 사이에 배치되며, 상기 발광 소자와 중첩하는 컬러 필터;

상기 제2 굴절층 위에 배치되며, 상기 화소 화로와 중첩하는 차광층; 및

상기 차광층을 커버하며 평탄면을 제공하는 평탄화층을 더 포함하는 표시 장치.

청구항 14

제11 항에 있어서,

상기 봉지층 위에 배치되며, 상기 화소 회로와 중첩하는 차광층;

상기 봉지층 위에 배치되며, 상기 발광 소자와 중첩하는 컬러 필터층; 및

상기 차광층 및 상기 컬러 필터층을 커버하는 평탄화층을 더 포함하고,

상기 제1 굴절층 및 상기 제2 굴절층은 상기 평탄화층 위에 배치되는 표시 장치.

청구항 15

제1 항에 있어서,

상기 제2 굴절층은 상기 발광 소자를 커버하고, 상기 제1 굴절층은 상기 제2 굴절층 및 상기 화소 회로층 위에 배치되어, 상기 제2 굴절층을 커버하는 표시 장치.

청구항 16

제15 항에 있어서,

상기 제2 굴절층의 최외곽면은 상기 제1 굴절층과 접하고, 상기 최외곽면은 소정의 곡률을 갖는 표시 장치.

청구항 17

제15 항에 있어서,

상기 발광 소자와 비중첩하는 차광층을 더 포함하고, 상기 차광층은 상기 제1 굴절층과 상기 화소 회로층 사이에 배치되는 표시 장치.

청구항 18

제17 항에 있어서,

상기 제1 굴절층 위에 배치되며, 상기 발광 소자와 중첩하는 컬러 필터층; 및

상기 제1 굴절층 위에 배치되며, 상기 컬러 필터층을 커버하는 평탄화층을 더 포함하는 표시 장치.

청구항 19

제15 항에 있어서,

상기 발광 소자와 비중첩하며 상기 제1 굴절층 위에 배치되는 차광층;

상기 제1 굴절층 위에 배치되며, 상기 발광 소자와 중첩하는 컬러 필터층; 및

상기 제1 굴절층 위에 배치되며, 상기 컬러 필터층을 커버하는 평탄화층을 더 포함하는 표시 장치.

청구항 20

제1 항에 있어서,

상기 화소 회로층에는 홈이 정의되고, 상기 홈은 상기 복수의 절연층들 각각의 단부를 포함하는 경사부에 의해 정의되고, 상기 발광 소자는 상기 홈 내부에 배치되는 표시 장치.

청구항 21

제20 항에 있어서,

상기 경사부는 상기 제1 전극 및 상기 제2 전극에 의해 커버되고, 상기 제1 전극 및 상기 제2 전극 각각은 반사성 물질을 포함하는 표시 장치.

청구항 22

제20 항에 있어서,

상기 홈의 깊이는 상기 발광 소자의 두께보다 큰 표시 장치.

청구항 23

베이스층;

상기 베이스층 위에 배치되며, 트랜지스터 및 홈이 정의된 절연층들을 포함하는 화소 회로층;

상기 트랜지스터와 전기적으로 연결된 제1 전극;

상기 제1 전극과 이격되며, 전원 전압을 수신하는 제2 전극;

상기 제1 전극 및 상기 제2 전극과 전기적으로 연결되며, 상기 홈 내에 배치된 발광 소자;

상기 발광 소자가 배치된 발광 영역과 인접한 영역에 중첩하며, 제1 굴절률을 갖는 제1 굴절층; 및

상기 발광 영역과 중첩하며, 상기 제1 굴절률보다 높은 제2 굴절률을 갖는 제2 굴절층을 포함하는 표시 장치.

청구항 24

제23 항에 있어서,

상기 제1 굴절층은 상기 화소 회로층 위에 배치되고, 상기 제2 굴절층은 상기 제1 굴절층 위에 배치되어 상기 제1 굴절층을 커버하며 평탄면을 제공하는 표시 장치.

청구항 25

제23 항에 있어서,

상기 제2 굴절층은 상기 발광 소자 위에 배치되고, 상기 제1 굴절층은 상기 제2 굴절층 위에 배치되어 상기 제2 굴절층을 커버하며 평탄면을 제공하는 표시 장치.

청구항 26

제23 항에 있어서,

상기 홈은 상기 절연층들 각각의 단부를 포함하는 경사부에 의해 정의되고, 상기 제1 전극은 상기 경사부의 일부분을 커버하고, 상기 제2 전극은 상기 경사부의 다른 일부분을 커버하고, 상기 제1 전극 및 상기 제2 전극 각각은 반사성 물질을 포함하는 표시 장치.

청구항 27

제23 항에 있어서,

상기 홈의 깊이는 상기 발광 소자의 두께보다 큰 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 출광 효율이 향상된 표시 장치에 관한 것이다.

배 경 기 술

[0002] 표시 장치는 발광 소자를 포함할 수 있다. 발광 소자는 전극과 전기적으로 연결되고, 전극에 인가되는 전압에 따라 발광할 수 있다. 발광 소자는 전극 위에 직접 형성될 수도 있고, 별도로 형성된 발광 소자를 전극에 전사시킬 수도 있다. 발광 소자는 광을 방출할 수 있다. 발광 소자로부터 방출된 광은 표시 패널 외부로 출광될 수 있다. 표시 패널 외부로 출광되는 광의 출광 효율이 감소되는 경우, 표시 패널의 휘도가 저하되거나, 표시 패널을 구동하는 전력이 증가하는 등의 문제가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명은 출광 효율이 향상된 표시 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0004] 표시 장치는 제1 영역 및 상기 제1 영역에 인접한 제2 영역을 포함하는 베이스층, 상기 베이스층 위에 배치되며 화소 회로 및 복수의 절연층들을 포함하는 화소 회로층, 상기 화소 회로와 전기적으로 연결된 제1 전극, 상기 제1 전극과 이격되며, 상기 제1 전극과 동일한 층 상에 배치된 제2 전극, 상기 제1 전극 및 상기 제2 전극과 전기적으로 연결된 발광 소자, 상기 화소 회로층 위에 배치되며, 제1 굴절률을 갖는 제1 굴절층, 및 상기 발광 소자 위에 배치되며, 상기 제1 굴절률보다 높은 제2 굴절률을 갖는 제2 굴절층을 포함하고, 상기 제1 영역은 상기 발광 소자 및 상기 제2 굴절층과 중첩하고, 상기 제2 영역은 상기 제1 굴절층과 중첩할 수 있다.

[0005] 상기 발광 소자는 마이크로 발광 다이오드 소자일 수 있다.

[0006] 상기 발광 소자 및 상기 화소 회로층을 커버하는 봉지층을 더 포함할 수 있다.

[0007] 상기 제1 굴절층 및 상기 제2 굴절층은 상기 봉지층 위에 배치되며, 상기 제1 굴절층은 평면 상에서 상기 제1 영역을 둘러싸며 배치되고, 상기 제2 굴절층은 상기 제1 영역 및 상기 제2 영역과 중첩할 수 있다.

[0008] 상기 봉지층 위에 배치되며, 상기 화소 회로와 중첩하는 차광층을 더 포함할 수 있다.

[0009] 상기 차광층과 상기 제1 굴절층은 서로 인접하여 배치되며, 상기 차광층 및 상기 제1 굴절층은 상기 제2 굴절층에 의해 커버될 수 있다.

[0010] 상기 제1 굴절층은 상기 차광층 위에 배치되어, 상기 차광층을 커버할 수 있다.

[0011] 상기 제1 영역과 중첩하며, 상기 봉지층 및 상기 제2 굴절층 사이에 배치된 컬러 필터층을 더 포함할 수 있다.

[0012] 상기 제2 굴절층 위에 배치되며, 상기 화소 회로와 중첩하는 차광층, 및 상기 제2 굴절층 위에 배치되고, 상기 차광층을 커버하며 평탄면을 제공하는 평탄화층을 더 포함할 수 있다.

[0013] 상기 제2 굴절층 위에 배치되며, 상기 화소 회로와 중첩하는 차광층, 및 상기 제2 굴절층 위에 배치되고, 상기 제1 영역과 중첩하는 컬러 필터층을 더 포함할 수 있다.

[0014] 상기 봉지층 아래에 배치되고, 상기 발광 소자를 커버하며 제3 굴절률을 갖는 패턴층을 더 포함하고, 상기 봉지층은 상기 제3 굴절률보다 낮은 제4 굴절률을 가질 수 있다.

[0015] 상기 제2 굴절층 위에 배치되며, 상기 화소 회로와 중첩하는 차광층, 및 상기 제2 굴절층 위에 배치되며, 상기 발광 소자와 중첩하는 컬러 필터를 더 포함할 수 있다.

[0016] 상기 봉지층과 상기 제2 굴절층 사이에 배치되며, 상기 발광 소자와 중첩하는 컬러 필터, 상기 제2 굴절층 위에 배치되며, 상기 화소 화로와 중첩하는 차광층, 및 상기 차광층을 커버하며 평탄면을 제공하는 평탄화층을 더 포함할 수 있다.

[0017] 상기 봉지층 위에 배치되며, 상기 화소 회로와 중첩하는 차광층, 상기 봉지층 위에 배치되며, 상기 발광 소자와 중첩하는 컬러 필터층, 및 상기 차광층 및 상기 컬러 필터층을 커버하는 평탄화층을 더 포함하고, 상기 제1 굴절층 및 상기 제2 굴절층은 상기 평탄화층 위에 배치될 수 있다.

[0018] 상기 제2 굴절층은 상기 발광 소자를 커버하고, 상기 제1 굴절층은 상기 제2 굴절층 및 상기 화소 회로층 위에 배치되어, 상기 제2 굴절층을 커버할 수 있다.

[0019] 상기 제2 굴절층의 최외곽면은 상기 제1 굴절층과 접하고, 상기 최외곽면은 소정의 곡률을 가질 수 있다.

[0020] 상기 발광 소자와 비중첩하는 차광층을 더 포함하고, 상기 차광층은 상기 제1 굴절층과 상기 화소 회로층 사이에 배치될 수 있다.

[0021] 상기 제1 굴절층 위에 배치되며, 상기 발광 소자와 중첩하는 컬러 필터층, 및 상기 제1 굴절층 위에 배치되며, 상기 컬러 필터층을 커버하는 평탄화층을 더 포함할 수 있다.

[0022] 상기 발광 소자와 비중첩하며 상기 제1 굴절층 위에 배치되는 차광층, 상기 제1 굴절층 위에 배치되며, 상기 발광 소자와 중첩하는 컬러 필터층, 및 상기 제1 굴절층 위에 배치되며, 상기 컬러 필터층을 커버하는 평탄화층을 더 포함할 수 있다.

[0023] 상기 화소 회로층에는 홈이 정의되고, 상기 홈은 상기 복수의 절연층들 각각의 단부를 포함하는 경사부에 의해 정의되고, 상기 발광 소자는 상기 홈 내부에 배치될 수 있다.

[0024] 상기 경사부는 상기 제1 전극 및 상기 제2 전극에 의해 커버되고, 상기 제1 전극 및 상기 제2 전극 각각은 반사성 물질을 포함할 수 있다.

[0025] 상기 홈의 깊이는 상기 발광 소자의 두께보다 클 수 있다.

[0026] 본 발명의 일 실시예에 따른 표시 장치는 베이스층, 상기 베이스층 위에 배치되며, 트랜지스터 및 홈이 정의된 절연층들을 포함하는 화소 회로층, 상기 트랜지스터와 전기적으로 연결된 제1 전극, 상기 제1 전극과 이격되며, 전원 전압을 수신하는 제2 전극, 상기 제1 전극 및 상기 제2 전극과 전기적으로 연결되며, 상기 홈 내에 배치된 발광 소자, 상기 발광 소자가 배치된 발광 영역과 인접한 영역에 중첩하며, 제1 굴절률을 갖는 제1 굴절층, 및 상기 발광 영역과 중첩하며, 상기 제1 굴절률보다 높은 제2 굴절률을 갖는 제2 굴절층을 포함할 수 있다.

[0027] 상기 제1 굴절층은 상기 화소 회로층 위에 배치되고, 상기 제2 굴절층은 상기 제1 굴절층 위에 배치되어 상기 제1 굴절층을 커버하며 평탄면을 제공할 수 있다.

[0028] 상기 제2 굴절층은 상기 발광 소자 위에 배치되고, 상기 제1 굴절층은 상기 제2 굴절층 위에 배치되어 상기 제2

굴절층을 커버하며 평탄면을 제공할 수 있다.

[0029] 상기 홈은 상기 복수의 절연층들 각각의 단부를 포함하는 경사부에 의해 정의되고, 상기 제1 전극은 상기 경사부의 일부분을 커버하고, 상기 제2 전극은 상기 경사부의 다른 일부분을 커버하고, 상기 제1 전극 및 상기 제2 전극 각각은 반사성 물질을 포함할 수 있다.

[0030] 상기 홈의 깊이는 상기 발광 소자의 두께보다 클 수 있다.

발명의 효과

[0031] 본 발명의 실시예에 따르면, 표시 장치는 제1 굴절률을 갖는 제1 굴절층 및 상기 제1 굴절률보다 높은 제2 굴절률을 갖는 제2 굴절층을 포함한다. 표시 장치의 발광 소자로부터 방출된 광은 제1 굴절층과 제2 굴절층의 경계에서 굴절 또는 전반사되어 광 경로가 변경될 수 있다. 변경된 광 경로에 의해 표시 장치의 출광 효율이 향상될 수 있다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 사시도이다.

도 2는 본 발명의 일 실시예에 따른 표시 장치의 블록도이다.

도 3은 본 발명의 일 실시예에 따른 화소의 등가 회로도이다.

도 4는 본 발명의 일 실시예에 따른 표시 패널의 단면도이다.

도 5는 본 발명의 일 실시예에 따른 표시 장치의 일부 구성을 확대하여 도시한 평면도이다.

도 6a는 본 발명의 일 실시예에 따른 표시 장치의 일부 구성을 확대하여 도시한 평면도이다.

도 6b는 본 발명의 일 실시예에 따른 표시 장치의 일부 구성을 확대하여 도시한 평면도이다.

도 7a는 본 발명의 일 실시예에 따른 표시 장치의 일부를 확대하여 도시한 단면도이다.

도 7b는 본 발명의 일 실시예에 따른 표시 장치의 일부를 확대하여 도시한 단면도이다.

도 7c는 본 발명의 일 실시예에 따른 표시 장치의 일부를 확대하여 도시한 단면도이다.

도 7d는 본 발명의 일 실시예에 따른 표시 장치의 일부를 확대하여 도시한 단면도이다.

도 8은 본 발명의 일 실시예에 따른 표시 패널의 단면도이다.

도 9는 본 발명의 일 실시예에 따른 표시 패널의 단면도이다.

도 10은 본 발명의 일 실시예에 따른 표시 패널의 단면도이다.

도 11은 본 발명의 일 실시예에 따른 표시 패널의 단면도이다.

도 12는 본 발명의 일 실시예에 따른 표시 패널의 단면도이다.

도 13은 본 발명의 일 실시예에 따른 표시 패널의 단면도이다.

도 14는 본 발명의 일 실시예에 따른 표시 패널의 단면도이다.

도 15는 본 발명의 일 실시예에 따른 표시 패널의 단면도이다.

도 16은 본 발명의 일 실시예에 따른 표시 패널의 단면도이다.

도 17은 본 발명의 일 실시예에 따른 표시 패널의 단면도이다.

도 18은 본 발명의 일 실시예에 따른 표시 패널의 단면도이다.

도 19는 본 발명의 일 실시예에 따른 표시 장치의 일 부분을 확대하여 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0033] 본 명세서에서, 어떤 구성요소(또는 영역, 층, 부분 등)가 다른 구성요소 "상에 있다", "연결 된다", 또는 "결합된다"고 언급되는 경우에 그것은 다른 구성요소 상에 직접 배치/연결/결합될 수 있거나 또는 그들 사이에 제3

의 구성요소가 배치될 수도 있다는 것을 의미한다.

[0034] 동일한 도면부호는 동일한 구성요소를 지칭한다. 또한, 도면들에 있어서, 구성요소들의 두께, 비율, 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.

[0035] "및/또는"은 연관된 구성들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.

[0036] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0037] 또한, "아래에", "하측에", "위에", "상측에" 등의 용어는 도면에 도시된 구성들의 연관관계를 설명하기 위해 사용된다. 상기 용어들은 상대적인 개념으로, 도면에 표시된 방향을 기준으로 설명된다.

[0038] 다르게 정의되지 않는 한, 본 명세서에서 사용된 모든 용어 (기술 용어 및 과학 용어 포함)는 본 발명이 속하는 기술 분야의 당업자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 또한, 일반적으로 사용되는 사전에서 정의된 용어와 같은 용어는 관련 기술의 맥락에서 의미와 일치하는 의미를 갖는 것으로 해석되어야 하고, 이상적인 또는 지나치게 형식적인 의미로 해석되지 않는 한, 명시적으로 여기에서 정의됩니다.

[0039] "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0040] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다.

[0041] 도 1은 본 발명의 일 실시예에 따른 표시 장치(DD)의 사시도이다.

[0042] 도 1을 참조하면, 표시 장치(DD)는 표시 영역(DA)을 통해 이미지를 표시 할 수 있다. 도 1에서는 표시 영역(DA)이 제1 방향(DR1) 및 제1 방향(DR1)과 교차하는 제2 방향(DR2)이 정의하는 면에 제공된 것을 예시적으로 도시하였다. 하지만, 본 발명의 다른 실시예에서 표시 장치의 표시 영역은 휘어진 면에 제공될 수 있다.

[0043] 표시 장치(DD)의 두께 방향은 제3 방향(DR3)이 지시한다. 제1 내지 제3 방향들(DR1, DR2, DR3)이 지시하는 방향은 상대적인 개념으로서 다른 방향으로 변환될 수 있다. 본 명세서 내에서 "평면 상에서 보았을 때"의 의미는 제3 방향(DR3)에서 바라보는 경우를 의미할 수 있다. 또한, "두께 방향"은 제3 방향(DR3)을 의미할 수 있다.

[0044] 도 1에서는 표시 장치(DD)가 텔레비전인 것을 예시적으로 도시하였다. 하지만, 표시 장치(DD)는 모니터, 또는 외부 광고판과 같은 대형 전자장치를 비롯하여, 퍼스널 컴퓨터, 노트북 컴퓨터, 개인 디지털 단말기, 자동차 내비게이션 유닛, 게임기, 스마트폰, 태블릿, 및 카메라와 같은 중소형 전자 장치 등에 사용될 수도 있다. 또한, 이것들은 단지 실시예로서 제시된 것들로, 본 발명의 개념에서 벗어나지 않은 이상 다른 전자 기기에도 채용될 수 있음은 물론이다.

[0045] 도 2는 본 발명의 일 실시예에 따른 표시 장치의 블록도이다.

[0046] 도 2를 참조하면, 표시 장치(DD)는 표시 패널(DP), 신호 제어부(TC, 또는 타이밍 컨트롤러), 데이터 구동부(DDV), 및 스캔 구동부(GDV)를 포함할 수 있다. 신호 제어부(TC), 데이터 구동부(DDV) 및 스캔 구동부(GDV) 각각은 회로를 포함할 수 있다.

[0047] 표시 패널(DP)은 초소형 발광 소자를 포함하는 초소형 발광 소자 표시 패널(DP)일 수 있다. 예를 들어, 표시 패널(DP)은 마이크로 엘이디 표시 패널(DP)일 수 있다.

[0048] 표시 패널(DP)은 복수의 데이터 라인들(DL1-DLm), 복수의 스캔 라인들(SL1-SLn) 및 복수의 화소들(PX)을 포함할 수 있다.

[0049] 복수의 데이터 라인들(DL1-DLm)은 제1 방향(DR1)으로 연장되며, 제1 방향(DR1)과 교차하는 제2 방향(DR2)을 따라 배열될 수 있다. 복수의 스캔 라인들(SL1-SLn)은 제2 방향(DR2)으로 연장되며, 제1 방향(DR1)을 따라 배열될 수 있다.

[0050] 화소들(PX) 각각은 발광 소자(ED, 도 3 참조) 및 발광 소자(ED, 도 3 참조)와 전기적으로 연결된 화소 회로(PXC, 도 3 참조)를 포함할 수 있다. 화소 회로(PXC, 도 3 참조)는 복수의 트랜지스터들(TR1, TR2, 도 3 참조)

을 포함할 수 있다. 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS)은 화소들(PX) 각각에 제공될 수 있다.

[0051] 화소들(PX)은 표시 패널(DP)의 평면 상에서 일정한 규칙으로 배치될 수 있다. 화소들(PX) 각각은 주요색(primary color) 중 하나 또는 혼합색 중 하나를 표시할 수 있다. 상기 주요색은 레드, 그린, 및 블루를 포함할 수 있고, 상기 혼합색은 옐로우, 시안, 마젠타 및 화이트 등 다양한 색상을 포함할 수 있다. 다만, 화소들(PX)이 표시하는 색상이 이에 제한되는 것은 아니다.

[0052] 신호 제어부(TC)는 외부로부터 제공되는 영상 데이터(RGB)를 수신한다. 신호 제어부(TC)는 영상 데이터(RGB)를 표시 패널(DP)의 동작에 부합하도록 변환하여 변환 영상데이터(R'G'B')를 생성하고, 변환 영상데이터(R'G'B')를 데이터 구동부(DDV)로 출력한다.

[0053] 또한, 신호 제어부(TC)는 외부로부터 제공되는 제어 신호(CS)를 수신할 수 있다. 제어 신호(CS)는 수직동기신호, 수평동기신호, 메인 클럭신호, 및 데이터 인에이블 신호 등을 포함할 수 있다.

[0054] 신호 제어부(TC)는 제1 제어 신호(CONT1)를 데이터 구동부(DDV)로 제공하고, 제2 제어 신호(CONT2)를 스캔 구동부(GDV)로 제공한다. 제1 제어 신호(CONT1)는 데이터 구동부(DDV)를 제어하기 위한 신호이고, 제2 제어 신호(CONT2)는 스캔 구동부(GDV)를 제어하기 위한 신호이다.

[0055] 데이터 구동부(DDV)는 신호 제어부(TC)로부터 수신한 제1 제어 신호(CONT1)에 응답해서 복수의 데이터 라인들(DL1-DLm)에 전기적 신호를 제공할 수 있다. 데이터 구동부(DDV)는 독립된 집적 회로로 구현되어서 표시 패널(DP)의 일 측에 전기적으로 연결되거나, 표시 패널(DP) 상에 직접 실장될 수 있다. 또한, 데이터 구동부(DDV)는 단일 칩으로 구현되거나 복수의 칩들을 포함할 수 있다.

[0056] 스캔 구동부(GDV)는 신호 제어부(TC)로부터 수신한 제2 제어 신호(CONT2)에 응답해서 스캔 라인들(SL1-SLn)에 전기적 신호를 제공할 수 있다. 스캔 구동부(GDV)는 표시 패널(DP)의 소정 영역에 집적될 수 있다. 예를 들어, 스캔 구동부(GDV)는 화소들(PX)의 화소 회로(PXC, 도 3 참조)와 동일한 공정, 예컨대 LTPS(Low Temperature Polycrystaline Silicon) 공정 또는 LTPO(Low Temperature Polycrystalline Oxide) 공정을 통해 형성된 복수개의 트랜지스터들을 포함할 수 있다. 또한, 본 발명의 다른 일 실시예에서 스캔 구동부(GDV)는 독립된 집적 회로 칩으로 구현되어 표시 패널(DP)의 일 측에 전기적으로 연결될 수 있다.

[0057] 복수의 스캔 라인들(SL1-SLn) 중 하나의 스캔 라인에 게이트 온 전압이 인가된 동안 이에 연결된 한 행의 화소들 각각의 스위칭 트랜지스터가 턴 온 된다. 이때 데이터 구동부(DDV)는 데이터 구동 신호들을 데이터 라인들(DL1-DLm)로 제공한다. 데이터 라인들(DL1-DLm)로 공급된 데이터 구동 신호들은 턴-온 된 스위칭 트랜지스터를 통해 대응하는 화소들에 인가된다. 데이터 구동 신호들은 영상 데이터들의 계조값에 대응하는 아날로그 전압들일 수 있다.

[0058] 도 3은 본 발명의 일 실시예에 따른 화소의 등가 회로도이다. 도 3에는 도 2에 도시된 복수의 화소들(PX) 중 일 화소(PX, 이하 화소)의 등가 회로도를 도시하였다.

[0059] 도 3을 참조하면, 화소(PX)는 복수의 신호 라인들과 전기적으로 연결될 수 있다. 본 실시예에서는 신호 라인들 중 스캔 라인(SL), 데이터 라인(DL), 제1 전원 라인(PL1), 및 제2 전원 라인(PL2)을 예시적으로 도시하였다. 다만, 이는 예시적으로 도시한 것이고, 본 발명의 일 실시예에 따른 화소(PX)는 다양한 신호 라인들에 추가적으로 연결될 수 있으며, 어느 하나의 실시예로 한정되지 않는다.

[0060] 화소(PX)는 발광 소자(ED), 및 화소 회로(PXC)를 포함할 수 있다. 화소 회로(PXC)는 제1 트랜지스터(TR1), 커패시터(CAP), 및 제2 트랜지스터(TR2)를 포함할 수 있다. 이는 예시적으로 도시한 것일 뿐, 화소 회로(PXC)가 포함하는 트랜지스터 및 커패시터의 수가 도 3에 도시된 것으로 한정되는 것은 아니다. 예를 들어, 본 발명의 다른 일 실시예에서 화소 회로(PXC)는 7개의 트랜지스터 및 1 개의 커패시터를 포함할 수도 있다.

[0061] 제1 트랜지스터(TR1)는 화소(PX)의 온-오프를 제어하는 스위칭 트랜지스터일 수 있다. 제1 트랜지스터(TR1)는 스캔 라인(SL)을 통해 전달된 스캔 신호에 응답하여 데이터 라인(DL)을 통해 전달된 데이터 신호를 전달 또는 차단할 수 있다.

[0062] 커패시터(CAP)는 제1 트랜지스터(TR1)와 제1 전원 라인(PL1)에 연결된다. 커패시터(CAP)는 제1 트랜지스터(TR1)로부터 전달된 데이터 신호와 제1 전원 라인(PL1)에 인가된 제1 전원전압(ELVDD) 사이의 차이에 대응하는 전하량을 충전한다.

[0063] 제2 트랜지스터(TR2)는 제1 트랜지스터(TR1), 커패시터(CAP), 및 발광 소자(ED)에 연결된다. 제2 트랜지스터

(TR2)는 커패시터(CAP)에 저장된 전하량에 대응하여 발광 소자(ED)에 흐르는 구동전류를 제어한다. 커패시터(CAP)에 충전된 전하량에 따라 제2 트랜지스터(TR2)의 턴-온 시간이 결정될 수 있다.

[0064] 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)는 N 타입의 트랜지스터 또는 P타입의 트랜지스터일 수 있다. 또한, 본 발명의 다른 일 실시예에서 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2) 중 어느 하나는 N 타입의 트랜지스터이고, 다른 하나는 P 타입의 트랜지스터일 수 있다.

[0065] 발광 소자(ED)는 제2 트랜지스터(TR2)와 제2 전원 라인(PL2)에 전기적으로 연결될 수 있다. 발광 소자(ED)는 제2 전원전압(ELVSS)을 제2 전원 라인(PL2)을 통해 수신할 수 있다.

[0066] 발광 소자(ED)는 제2 트랜지스터(TR2)를 통해 전달된 신호와 제2 전원 라인(PL2)을 통해 수신된 제2 전원전압(ELVSS) 사이의 차이에 대응하는 전압으로 발광한다.

[0067] 발광 소자(ED)는 마이크로 발광 다이오드 소자일 수 있다. 마이크로 발광 다이오드 소자는 수 나노 미터 내지 수백 마이크로 미터 사이의 길이를 갖는 엘이디 소자일 수 있다. 다만, 마이크로 발광 다이오드 소자의 길이는 일 예로 기재한 것일 뿐, 마이크로 발광 다이오드 소자의 길이가 상기 수치 범위에 한정되는 것은 아니다.

[0068] 발광 소자(ED)는 특정 파장 대역의 광을 방출할 수 있다. 예를 들어, 발광 소자(ED)는 적색 광, 청색 광 또는 녹색 광을 방출할 수 있다.

[0069] 발광 소자(ED)는 n형 반도체층, p형 반도체층, 및 활성층을 포함할 수 있다. 활성층은 n형 반도체층과 p형 반도체층 사이에 배치될 수 있다.

[0070] n형 반도체층은 반도체층에 n형의 도펀트가 도핑되어 제공될 수 있고, p형 반도체층은 반도체층에 p형의 도펀트가 도핑되어 제공될 수 있다. 상기 반도체층은 반도체 물질을 포함할 수 있고, 반도체 물질은 예를 들어, GaN, AlN, AlGaN, InGaN, InN, InAlGaN, 또는 AlInN일 수 있으며, 이에 제한되는 것은 아니다. 상기 n형 도펀트는 규소(Si), 게르마늄(Ge), 주석(Sn), 셀레늄(Se), 텔루륨(Te) 또는 이들의 조합일 수 있으며, 이에 제한되는 것은 아니다. 상기 p형 도펀트는 마그네슘(Mg), 아연(Zn), 칼슘(Ca), 스트론튬(Sr), 또는 바륨(Ba), 또는 이들의 조합일 수 있으며, 이에 제한되는 것은 아니다.

[0071] 활성층은 단일 양자 우물 구조, 다중 양자 우물 구조, 양자선 구조, 또는 양자점 구조 중 적어도 어느 하나로 형성될 수 있다. 활성층은 n형 반도체층을 통해서 주입되는 전자와 p형 반도체층을 통해서 주입되는 정공이 재결합되는 영역일 수 있다. 활성층은 물질 고유의 에너지 밴드에 의해서 결정되는 에너지를 갖는 광을 방출하는 층이다. 활성층의 위치는 다이오드의 종류에 따라 다양하게 변경될 수 있다.

[0072] 도 3에서는 제2 트랜지스터(TR2)와 제2 전원 라인(PL2) 사이에 하나의 발광 소자(ED)가 연결된 것을 예로 들어 도시하였으나, 발광 소자(ED)는 복수로 제공될 수 있다. 복수로 제공된 발광 소자들(ED)은 서로 병렬로 연결될 수 있다.

[0073] 도 4는 본 발명의 일 실시예에 따른 표시 패널의 단면도이다.

[0074] 도 3 및 도 4를 참조하면, 표시 패널(DP)은 베이스층(BL), 화소 회로층(PXCL), 제1 전극(E1), 제2 전극(E2), 발광 소자(ED), 봉지층(ECL), 제1 굴절층(CL1), 제2 굴절층(CL2), 및 차광층(BM)을 포함할 수 있다.

[0075] 베이스층(BL)은 플렉서블(Flexible)한 물질을 포함할 수 있고, 예를 들어 베이스층(BL)은 플라스틱 기판일 수 있다. 플라스틱 기판은 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리이미드계 수지, 폴리아미드계 수지 및 페릴렌계 수지 중 적어도 어느 하나를 포함할 수 있다. 예를 들어, 베이스층(BL)은 단일층의 폴리이미드계 수지를 포함할 수 있다. 다만, 본 발명이 이에 제한되는 것은 아니고, 베이스층(BL)은 복수의 절연층들을 포함하는 적층 구조체일 수도 있다. 본 발명의 다른 일 실시예에서, 베이스층(BL)은 리지드(Rigid)한 물질을 포함할 수 있고, 예를 들어 베이스층(BL)은 글라스 기판일 수 있다.

[0076] 베이스층(BL)은 제1 영역(AR1) 및 제1 영역(AR1)과 인접한 제2 영역(AR2)을 포함할 수 있다. 제1 영역(AR1)과 제2 영역(AR2)은 평면 상에서 보았을 때 구분되는 영역일 수 있다. 제1 영역(AR1)과 제2 영역(AR2)에 대해서는 이하에서 구체적으로 설명된다.

[0077] 베이스층(BL) 위에는 화소 회로층(PXCL)이 배치된다. 화소 회로층(PXCL)은 화소 회로(PXC) 및 복수의 절연층들(L1, L2, L3)을 포함할 수 있다. 도 4 에는 화소 회로(PXC) 중 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)가 도시되었다.

[0078] 제1 트랜지스터(TR1)는 제1 제어 전극(CE1), 제1 입력 전극(IE1), 제1 출력 전극(OE1), 및 제1 반도체 패턴(SP1)을 포함할 수 있다. 제2 트랜지스터(TR2)는 제2 제어 전극(CE2), 제2 입력 전극(IE2), 제2 출력 전극(OE2), 및 제2 반도체 패턴(SP2)을 포함할 수 있다.

[0079] 제1 제어 전극(CE1) 및 제2 제어 전극(CE2)은 베이스층(BL) 위에 배치될 수 있다. 제1 제어 전극(CE1) 및 제2 제어 전극(CE2)은 금속 물질을 포함할 수 있다.

[0080] 제1 절연층(L1)은 베이스층(BL) 위에 배치되며, 제1 제어 전극(CE1) 및 제2 제어 전극(CE2)을 커버할 수 있다. 즉, 제1 제어 전극(CE1) 및 제2 제어 전극(CE2)은 제1 절연층(L1)과 베이스층(BL) 사이에 배치될 수 있다.

[0081] 제1 절연층(L1) 위에는 제1 반도체 패턴(SP1) 및 제2 반도체 패턴(SP2)이 배치될 수 있다. 단면상에서 제1 반도체 패턴(SP1)은 제1 제어 전극(CE1)과 이격되어 배치되고, 단면상에서 제2 반도체 패턴(SP2)은 제2 제어 전극(CE2)과 이격되어 배치될 수 있다.

[0082] 제1 및 제2 반도체 패턴들(SP1, SP2) 각각은 반도체 물질을 포함할 수 있다. 예를 들어, 제1 반도체 패턴(SP1)과 제2 반도체 패턴(SP2)은 서로 동일한 반도체 물질을 포함할 수도 있고, 제1 반도체 패턴(SP1)과 제2 반도체 패턴(SP2)은 서로 상이한 반도체 물질을 포함할 수 있다. 상기 반도체 물질은 예를 들어, 비정질 실리콘, 다결정 실리콘, 단결정 실리콘, 산화물 반도체, 및 화합물 반도체 중 적어도 어느 하나를 포함할 수 있다.

[0083] 제1 반도체 패턴(SP1) 위에는 제1 입력 전극(IE1) 및 제1 출력 전극(OE1)이 배치되고, 제2 반도체 패턴(SP2) 위에는 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)이 배치될 수 있다.

[0084] 제2 절연층(L2)은 제1 절연층(L1) 위에 배치되며, 제1 및 제2 반도체 패턴들(SP1, SP2), 제1 및 제2 입력 전극들(IE1, IE2), 및 제1 및 제2 출력 전극들(OE1, OE2)을 커버할 수 있다. 즉, 제1 절연층(L1)과 제2 절연층(L2) 사이에는 제1 및 제2 반도체 패턴들(SP1, SP2), 제1 및 제2 입력 전극들(IE1, IE2), 및 제1 및 제2 출력 전극들(OE1, OE2)이 배치될 수 있다.

[0085] 제2 절연층(L2) 위에는 제3 절연층(L3)이 배치될 수 있다. 예를 들어, 제1 절연층(L1) 및 제2 절연층(L2)은 무기물을 포함할 수 있고, 제3 절연층(L3)은 유기물을 포함할 수 있다. 제3 절연층(L3)은 평탄면을 제공할 수 있다.

[0086] 제3 절연층(L3) 위에는 연결 전극(CCE)이 배치될 수 있다. 연결 전극(CCE)은 제1 출력 전극(OE1)과 제2 제어 전극(CE2)을 연결할 수 있다. 제2 및 제3 절연층들(L2, L3)에는 관통홀이 제공되고, 상기 관통홀에 의해 제1 출력 전극(OE1)이 노출될 수 있다. 연결 전극(CCE)은 노출된 제1 출력 전극(OE1)에 전기적으로 연결될 수 있다. 제1 내지 제3 절연층들(L1, L2, L3)에는 관통홀이 제공되고, 상기 관통홀에 의해 제2 제어 전극(CE2)이 노출될 수 있다. 연결 전극(CCE)은 노출된 제2 제어 전극(CE2)에 전기적으로 연결될 수 있다.

[0087] 제3 절연층(L3) 위에는 제1 전극(E1)이 배치될 수 있다. 제2 및 제3 절연층들(L2, L3)에는 관통홀이 제공되고, 상기 관통홀에 의해 제2 출력 전극(OE2)이 노출될 수 있다. 제1 전극(E1)은 노출된 제2 출력 전극(OE2)에 전기적으로 연결될 수 있다.

[0088] 제3 절연층(L3) 위에는 제2 전극(E2)이 배치될 수 있다. 제2 전극(E2)은 도시되지 않았으나, 제2 전원 라인(PL2, 도 3 참조)에 전기적으로 연결될 수 있다. 즉, 제2 전극(E2)에는 제2 전원전압(ELVSS)이 제공될 수 있다.

[0089] 제2 전극(E2)은 제1 전극(E1)과 이격되며, 제1 전극(E1)과 동일한 층 상에 배치될 수 있다. 예를 들어, 화소 회로층(PXCL)에는 홈(HM)이 정의될 수 있다. 홈(HM)은 제1 내지 제3 절연층들(L1, L2, L3)의 단부를 포함하는 경사부(SLP)에 의해 정의될 수 있다.

[0090] 제1 전극(E1)은 제3 절연층(L3), 경사부(SLP) 및 베이스층(BL) 위에 배치될 수 있고, 제2 전극(E2)은 제3 절연층(L3), 경사부(SLP) 및 베이스층(BL) 위에 배치될 수 있다.

[0091] 연결 전극(CCE), 제1 전극(E1) 및 제2 전극(E2)은 동일한 도전 물질을 포함할 수 있다. 예를 들어, 연결 전극(CCE), 제1 전극(E1) 및 제2 전극(E2) 각각은 반사성 물질을 포함할 수 있다. 연결 전극(CCE), 제1 전극(E1) 및 제2 전극(E2) 각각은 단층 구조를 가질 수도 있고, 복수의 적층 구조를 가질 수도 있다. 예를 들어, 연결 전극(CCE), 제1 전극(E1) 및 제2 전극(E2) 각각은 인듐주석 산화물(ITO), 은(Ag), 및 인듐주석 산화물(ITO)이 순차적으로 적층된 구조를 가질 수 있다. 하지만, 본 발명이 이에 제한되는 것은 아니다. 예를 들어, 연결 전극(CCE), 제1 전극(E1) 및 제2 전극(E2) 각각은 인듐아연 산화물(IZO), 인듐주석 산화물(ITO), 인듐갈륨 산화물(IGO), 인듐아연갈륨 산화물(IGZO), 및 이들의 혼합물/화합물 중 적어도 어느 하나를 포함할 수도 있고, 몰리브

덴, 은, 티타늄, 구리, 알루미늄, 또는 이들의 합금을 포함할 수 있다.

[0092] 발광 소자(ED)는 제1 전극(E1) 및 제2 전극(E2) 위에 배치되며, 제1 전극(E1) 및 제2 전극(E2)과 전기적으로 연결될 수 있다.

[0093] 발광 소자(ED)는 제1 전극(E1) 및 제2 전극(E2) 위에 전사(transfer)되어 제공될 수 있다. 예를 들어, 발광 소자(ED)는 복수로 제공될 수 있고, 복수의 발광 소자들은 동시에 전사될 수도 있고, 단일의 발광 소자가 각각 전사될 수도 있다.

[0094] 발광 소자(ED)를 제1 전극(E1)과 제2 전극(E2)에 전사하는 방법에는 직접 전사 방법 및 인쇄 전사 방법이 있을 수 있다. 직접 전사 방법은 발광 소자(ED)를 제1 전극(E1)과 제2 전극(E2)에 직접 이송시키는 방법일 수 있다. 인쇄 전사 방법은 발광 소자(ED)를 정전 헤드, 평면 스탬프 또는 롤 스탬프를 활용하여, 제1 전극(E1)과 제2 전극(E2)에 이송시키는 방법일 수 있다.본 발명의 일 실시예에 따르면, 발광 소자(ED)가 배치되는 영역 아래에는 제1 전극(E1), 제2 전극(E2) 및 베이스층(BL)만이 배치될 수 있다. 화소 회로(PXC)의 구성들, 예를 들어, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)는 발광 소자(ED) 아래에 배치되지 않을 수 있다.

[0095] 발광 소자(ED)를 전사하는 과정 중에 발광 소자(ED)가 배치되는 영역에 압력이 가해질 수 있다. 본 발명의 일 실시예에 따르면, 발광 소자(ED) 아래에 화소 회로(PXC)가 배치되지 않기 때문에, 상기 압력에 의해 화소 회로(PXC)가 손상되는 문제가 방지될 수 있다. 또한, 발광 소자(ED)가 화소 회로(PXC)와 동일한 층 상에 배치되기 때문에, 표시 패널(DP)의 두께가 감소될 수 있고, 그 결과, 표시 패널(DP)의 유연성이 향상될 수 있다.

[0096] 베이스층(BL)의 제1 영역(AR1)은 평면 상에서 보았을 때 발광 소자(ED)와 중첩하는 영역이고, 제2 영역(AR2)은 평면 상에서 보았을 때 발광 소자(ED)가 배치된 영역의 주변 영역과 중첩하는 영역일 수 있다. 예를 들어, 평면 상에서 보았을 때, 제2 영역(AR2)은 발광 소자(ED)와 비중첩하는 영역으로 정의될 수 있다. 즉, 표시 패널(DP)에서 광이 출광되는 발광 영역(PXA)은 제1 영역(AR1)과 대응될 수 있고, 제2 영역(AR2)은 발광 영역(PXA)과 인접한 주변 영역, 예를 들어, 비 발광 영역(NPXA)과 대응될 수 있다.

[0097] 봉지층(ECL)은 화소 회로층(PXCL), 연결 전극(CCE), 제1 전극(E1), 제2 전극(E2), 및 발광 소자(ED)를 커버할 수 있다. 봉지층(ECL)은 수분/산소 또는 먼지 입자와 같은 이물질로부터 화소 회로층(PXCL), 연결 전극(CCE), 제1 전극(E1), 제2 전극(E2), 및 발광 소자(ED)를 보호할 수 있다. 봉지층(ECL)은 적층 구조물일 수 있고, 예를 들어, 봉지층(ECL)은 교대로 적층된 적어도 하나의 유기 봉지층 및 적어도 하나의 무기 봉지층을 포함할 수 있다.

[0098] 본 발명의 다른 일 실시예에서, 봉지층(ECL)은 유기 봉지층만을 포함할 수도 있다. 이 경우, 봉지층(ECL)의 두께는 무기 봉지층들을 포함하는 경우에 비해 얇아질 수 있다. 또한, 봉지층(ECL)이 유기 봉지층에 비해 상대적으로 리지드한 무기 봉지층을 포함하지 않기 때문에, 표시 패널(DP)의 유연성이 향상될 수 있다.

[0099] 제1 굴절층(CL1)은 봉지층(ECL) 위에 배치될 수 있다. 제1 굴절층(CL1)은 제1 굴절률을 가질 수 있다. 제1 굴절층(CL1)은 평면 상에서 발광 소자(ED)의 주변을 둘러싸며 배치될 수 있다. 제1 굴절층(CL1)은 소정의 형상으로 패터닝된 층일 수 있다. 따라서, 제1 굴절층(CL1)은 제1 패턴부로 명칭될 수도 있다.

[0100] 차광층(BM)은 봉지층(ECL) 위에 배치될 수 있다. 차광층(BM)은 광을 흡수하는 색을 가질 수 있다. 예를 들어, 차광층(BM)은 블랙 또는 짙은 회색의 층일 수 있다. 차광층(BM)은 평면 상에서 화소 회로(PXC)와 중첩할 수 있다. 예를 들어, 차광층(BM)은 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)와 중첩할 수 있다. 또한, 차광층(BM)은 제1 영역(AR1)을 제외한 나머지 영역과 중첩할 수도 있다. 예를 들어, 차광층(BM)은 제2 영역(AR2)과 중첩할 수 있다.

[0101] 차광층(BM)은 화소 회로(PXC)로 입사되는 외광을 흡수할 수 있다. 즉, 차광층(BM)은 화소 회로(PXC)에 의한 외광 반사 차단을 위해 제공될 수 있다. 차광층(BM)은 외광에 의한 반사를 차단시켜 표시 품질을 개선할 수 있다.

[0102] 본 발명의 일 실시예에서, 차광층(BM)과 제1 굴절층(CL1)은 동일한 층, 예를 들어, 봉지층(ECL) 상에 배치될 수 있다. 또한, 차광층(BM)과 제1 굴절층(CL1)은 서로 인접한 영역에 배치되며, 평면 상에서 서로 비중첩할 수 있다.

[0103] 제2 굴절층(CL2)은 제1 굴절층(CL1) 및 차광층(BM)을 커버하며, 제1 굴절층(CL1), 차광층(BM) 및 봉지층(ECL) 위에 배치될 수 있다. 따라서, 제2 굴절층(CL2)은 평면상에서 볼 때, 제1 영역(AR1) 및 제2 영역(AR2)과 중첩할 수 있다.

[0104] 제1 굴절층(CL1)은 제1 굴절률을 갖고, 제2 굴절층(CL2)은 상기 제1 굴절률보다 높은 제2 굴절률을 가질 수 있다. 예를 들어, 상기 제1 굴절률이 1.5인 경우, 상기 제2 굴절률은 1.65일 수 있다. 다만 이는 일 예일 뿐, 상기 제1 굴절률 및 상기 제2 굴절률의 값이 상기 예에 한정되는 것은 아니다.

[0105] 제1 굴절층(CL1)은 저굴절 물질을 포함할 수 있고, 제2 굴절층(CL2)은 고굴절 물질을 포함할 수 있다.

[0106] 본 발명의 일 실시예에서, 제1 굴절층(CL1)은 베이스 물질 및 베이스 물질에 혼합된 중공 입자를 포함할 수 있다. 예를 들어, 상기 베이스 물질은 아크릴 또는 실록산을 포함할 수 있다. 상기 중공 입자는 상기 베이스 물질에 혼합되어 굴절률을 감소시킬 수 있다. 상기 중공 입자는 다공성 또는 비다공성 쉘로 둘러싸인 입자로 중앙이 비어있는 입자일 수 있다. 또한, 제1 굴절층(CL1)은 패터닝 공정이 가능한 물질을 포함할 수 있다.

[0107] 본 발명의 일 실시예에서, 제2 굴절층(CL2)은 제1 굴절층(CL1)보다 높은 굴절률을 갖는 물질을 포함할 수 있다. 예를 들어, 제2 굴절층(CL2)은 베이스 물질 및 굴절률을 향상시킬 수 있는 고굴절 물질을 포함할 수 있다. 예를 들어, 상기 베이스 물질은 아크릴 또는 실록산을 포함할 수 있다. 상기 고굴절 물질은, 예를 들어, 지르코늄 옥사이드(ZrO_X), 이산화 타이타늄(TiO_2), 탄산칼슘($CaCO_3$), 이산화 규소(SiO_2), 산화 아연(ZnO), 수산화 알루미늄($Al(OH)_2$), 수산화 마그네슘($Mg(OH)_2$), 및 리토폰($BaSO_2$+ZnS) 중 적어도 하나 이상을 포함할 수 있다. 본 발명의 다른 일 실시예에서, 제1 굴절층(CL1)은 중공 입자를 포함하지 않을 수 있고, 제2 굴절층(CL2)은 고굴절 물질을 포함하지 않을 수도 있다. 이 경우, 제1 굴절층(CL1)은 제2 굴절층(CL2)보다 낮은 굴절률을 갖는 물질 중에 선택될 수 있고, 제2 굴절층(CL2)은 제1 굴절층(CL1)보다 높은 굴절률을 갖는 물질 중에 선택될 수 있다.

[0108] 발광 소자(ED)로부터 출광된 광(LGT)은 제1 굴절층(CL1)으로 입사될 수 있다. 제1 굴절층(CL1)과 제2 굴절층(CL2)의 굴절률에 차이가 있기 때문에, 광(LGT)은 제1 굴절층(CL1)과 제2 굴절층(CL2)의 경계에서 전반사 또는 굴절되어 광 경로가 변경될 수 있다. 광 경로가 변경된 광(LGT)은 발광 영역(PXA)을 향해 출광 될 수 있다. 따라서, 표시 패널(DP)의 출광 효율이 향상될 수 있다.

[0109] 도 5는 본 발명의 일 실시예에 따른 표시 장치의 일부 구성을 확대하여 도시한 평면도이다.

[0110] 도 5를 참조하면, 제1 영역(AR1)과 중첩하는 영역에 발광 소자(ED)가 배치되고, 제2 영역(AR2, 도 4 참조)과 중첩하는 영역에 제1 굴절층(CL1) 및 차광층(BM)이 배치된다. 제1 굴절층(CL1)은 발광 소자(ED) 주변을 둘러싸는 형상을 가질 수 있다.

[0111] 평면 상에서 보았을 때, 제1 굴절층(CL1)은 제1 영역(AR1)을 둘러싸는 형상을 가질 수 있다. 도 5에서는 제1 굴절층(CL1)이 사각고리 형상인 것을 예로 들어 도시하였으나, 본 발명이 이에 제한되는 것은 아니다. 제1 굴절층(CL1)의 형상은 제1 영역(AR1)의 형상에 대응하여 변형되거나, 발광 영역(PXA, 도 4 참조)의 형상에 대응하여 변형되거나, 발광 소자(ED)의 형상에 대응하여 변형될 수도 있다. 예를 들어, 발광 소자(ED)가 평면 상에서 원형의 형상을 갖는 경우, 제1 굴절층(CL1)은 원형고리 형상일 수 있다.

[0112] 발광 소자(ED)로부터 출광된 광 중 제1 굴절층(CL1)으로 입사된 광은 전반사 또는 굴절되어 발광 소자(ED)와 중첩하는 영역을 통해 출광될 수 있다. 따라서, 표시 장치(DD, 도 1 참조)의 출광 효율이 향상될 수 있다.

[0113] 도 6a는 본 발명의 일 실시예에 따른 표시 장치의 일부 구성을 확대하여 도시한 평면도이다.

[0114] 도 6a을 참조하면, 하나의 화소(PX, 도 3 참조)는 복수의 발광 소자들(EDa, EDb)을 포함할 수 있다. 발광 소자들(EDa, EDb)은 제1 발광 소자(EDa) 및 제2 발광 소자(EDb)를 포함할 수 있다. 제1 발광 소자(EDa)와 제2 발광 소자(EDb)는 병렬로 연결될 수 있다. 제1 발광 소자(EDa)와 제2 발광 소자(EDb) 각각은 제1 전극(E1) 및 제2 전극(E2)에 전기적으로 연결될 수 있다. 제1 발광 소자(EDa) 및 제2 발광 소자(EDb)는 제1 영역(AR1)과 중첩하여 배치될 수 있다.

[0115] 제1 굴절층(CL1a)은 평면 상에서 고리 형상을 가질 수 있으며, 제1 및 제2 발광 소자들(EDa, EDb)을 둘러쌀 수 있다. 제1 및 제2 발광 소자들(EDa, EDb)은 하나의 화소에 포함되는 발광 소자들이다. 따라서, 제1 발광 소자(EDa)와 제2 발광 소자(EDb) 사이의 영역은 도 4에 도시된 발광 영역(PXA)과 대응될 수 있다. 따라서, 제1 발광 소자(EDa)와 제2 발광 소자(EDb) 사이에는 제1 굴절층(CL1a)이 배치되지 않을 수 있다.

[0116] 도 6b는 본 발명의 일 실시예에 따른 표시 장치의 일부 구성을 확대하여 도시한 평면도이다. 도 6b를 설명함에 있어서, 도 6a와 차이가 있는 부분에 대해서 설명한다.

[0117] 도 6b를 참조하면, 제1 굴절층(CL1b)은 평면 상에서 제1 및 제2 발광 소자들(EDa, EDb) 각각을 둘러쌀 수 있다.

따라서, 제1 발광 소자(EDa)와 제2 발광 소자(EDb) 사이의 영역에도 제1 굴절층(CL1b)이 배치될 수 있다.

[0118] 도 5, 도 6a 및 도 6b에서는 제1 굴절층들(CL1, CL1a, CL1b)의 구분을 명확히 하기 위해 제1 굴절층들(CL1, CL1a, CL1b)에 음영을 주어 도시하였다.

[0119] 도 7a는 본 발명의 일 실시예에 따른 표시 장치의 일부를 확대하여 도시한 단면도이다. 도 7 a에서는 봉지층(ECL), 제1 굴절층(CL1), 제2 굴절층(CL2) 및 차광층(BM)이 도시되었다.

[0120] 도 7a를 참조하면, 제1 굴절층(CL1)은 단면 상에서 사다리꼴 형상을 가질 수 있다. 따라서, 제1 굴절층(CL1)과 제2 굴절층(CL2) 사이의 경계면은 봉지층(ECL)의 최외곽면에 대해 기울어진 형상을 가질 수 있다. 제2 굴절층(CL2)으로부터 상기 제1 굴절층(CL1)을 향하는 방향으로 진행하며, 상기 경계면으로 입사되는 광의 입사각은 상기 경계면이 봉지층(ECL)과 수직인 경우와 비교하였을 때보다 더 클 수 있다. 따라서, 상기 경계면으로 입사된 광이 전반사될 확률이 증가될 수 있다. 따라서, 제1 굴절층(CL1)으로 입사된 광이 전반사 또는 굴절되어 발광 영역(PXA, 도 4 참조)으로 출광될 확률이 증가될 수 있다. 즉, 표시 장치(DD, 도 1 참조)의 광 추출 효율이 향상될 수 있다.

[0121] 도 7b는 본 발명의 일 실시예에 따른 표시 장치의 일부를 확대하여 도시한 단면도이다.

[0122] 도 7b를 참조하면, 제1 굴절층(CL1-1)은 복수의 커버 패턴들(CLPt)을 포함할 수 있다. 커버 패턴들(CLPt)은 서로 이격되어 배치될 수 있다. 제1 굴절층(CL1-1)이 3 개의 커버 패턴들(CLPt)을 포함하는 것을 예로 들어 도시하였으나, 본 발명이 이에 제한되는 것은 아니다. 커버 패턴들(CLPt)의 개수는 2 개 일 수도 있고, 3 개 이상일 수도 있다.

[0123] 커버 패턴들(CLPt) 각각은 단면 상에서 직사각 형상을 가질 수 있다. 다만 이에 제한되는 것은 아니고, 커버 패턴들(CLPt) 각각은 단면 상에서 사다리꼴 형상을 가질 수도 있고, 커버 패턴들(CLPt) 각각의 최외곽 면이 곡률을 갖는 형상을 가질 수도 있다.

[0124] 도 7c는 본 발명의 일 실시예에 따른 표시 장치의 일부를 확대하여 도시한 단면도이다.

[0125] 도 7c를 참조하면, 제1 굴절층(CL1-2)의 최외곽 면은 곡률을 갖는 형상을 가질 수 있고, 예를 들어, 제1 굴절층(CL1-2)은 단면 상에서 볼록한 반원 형상을 가질 수 있다. 따라서, 제1 굴절층(CL1-2)과 제2 굴절층(CL2) 사이의 경계면은 기울어진 형상을 가질 수 있다. 상기 경계면으로 입사되는 광의 입사각은 상기 경계면이 봉지층(ECL)과 수직인 경우와 비교하였을 때보다 더 클 수 있다. 따라서, 상기 경계면으로 입사된 광이 전반사될 확률이 증가될 수 있다. 따라서, 제1 굴절층(CL1-2)으로 입사된 광이 전반사 또는 굴절되어 발광 영역(PXA, 도 4 참조)으로 출광될 확률이 증가될 수 있다. 즉, 표시 장치(DD, 도 1 참조)의 광 추출 효율이 향상될 수 있다.

[0126] 도 7d는 본 발명의 일 실시예에 따른 표시 장치의 일부를 확대하여 도시한 단면도이다.

[0127] 도 7d를 참조하면, 제2 굴절층(CL2)과 접하는 제1 굴절층(CL1-3)의 최외곽 면은 굴곡진 형상을 가질 수 있다. 예를 들어, 제1 굴절층(CL1-3)은 볼록한 영역과 오목한 영역이 교대로 반복되는 형상을 가질 수 있다. 제1 굴절층(CL1-3)이 굴곡진 형상을 갖기 때문에, 외부로부터 입사된 광이 제1 굴절층(CL1-3) 아래에 배치된 금속, 예를 들어, 제1 전극(E1, 도 4 참조)에 의해 반사되더라도 반사된 광은 제1 굴절층(CL1-3)의 상면에서 산란될 수 있다. 따라서, 외부로부터 입사된 광이 반사되어 표시 패널(DP, 도 4 참조) 외부로 다시 출광되는 것이 방지될 수 있다.

[0128] 도 8은 본 발명의 일 실시예에 따른 표시 패널의 단면도이다. 도 8을 설명함에 있어서, 도 4에서 설명된 구성과 동일한 구성에 대해서는 동일한 도면 부호를 표기하고, 이에 대한 설명은 생략된다.

[0129] 도 8을 참조하면, 표시 패널(DP-1)의 차광층(BM)은 봉지층(ECL) 위에 배치될 수 있다. 차광층(BM)은 제2 영역(AR2) 위에 배치되며, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)를 커버할 수 있다.

[0130] 차광층(BM) 및 봉지층(ECL) 위에는 제1 굴절층(CL1-4)이 배치될 수 있다. 제1 굴절층(CL1-4)은 제2 영역(AR2)에 배치되며, 차광층(BM)을 커버할 수 있다.

[0131] 제2 굴절층(CL2)은 제1 굴절층(CL1-4) 위에 배치되어, 제1 굴절층(CL1-4)을 커버할 수 있다. 제2 굴절층(CL2)은 평탄면을 제공할 수 있다.

[0132] 제1 굴절층(CL1-4)은 제1 굴절률을 갖는 물질을 포함하고, 제2 굴절층(CL2)은 상기 제1 굴절률보다 높은 제2 굴절률을 갖는 물질을 포함할 수 있다.

[0133] 도 9는 본 발명의 일 실시예에 따른 표시 패널의 단면도이다. 도 9를 설명함에 있어서, 도 4에서 설명된 구성과 동일한 구성에 대해서는 동일한 도면 부호를 표기하고, 이에 대한 설명은 생략된다.

[0134] 도 9를 참조하면, 표시 패널(DP-2)의 차광층(BMa)은 봉지층(ECL) 아래에 배치되며, 차광층(BMa)은 제3 절연층(L3)과 봉지층(ECL) 사이에 배치될 수 있다. 차광층(BMa)은 연결 전극(CCE), 제1 전극(E1)의 일부분 및 제2 전극(E2)의 일 부분을 직접 커버할 수 있다. 직접 커버한다는 것은 예를 들어, 차광층(BMa)과 연결 전극(CCE) 사이에 다른 구성없이, 차광층(BMa)과 연결 전극(CCE)이 접촉하여 배치된다는 것을 의미할 수 있다.

[0135] 차광층(BMa)은 외부로부터 입사된 광을 흡수하여, 광이 연결 전극(CCE), 제1 전극(E1) 및 제2 전극(E2)으로부터 반사되는 것을 방지할 수 있다.

[0137] 도 10은 본 발명의 일 실시예에 따른 표시 패널의 단면도이다. 도 10을 설명함에 있어서, 도 4에서 설명된 구성과 동일한 구성에 대해서는 동일한 도면 부호를 표기하고, 이에 대한 설명은 생략된다.

[0138] 도 10을 참조하면, 표시 패널(DP-3)의 제2 굴절층(CL2-1)은 발광 소자(ED)를 커버할 수 있다. 따라서, 평면 상에서 보았을 때, 제2 굴절층(CL2-1)은 제1 영역(AR1)과 중첩할 수 있다.

[0139] 제2 굴절층(CL2-1)은 제2 굴절률을 갖는 물질을 포함할 수 있다. 상기 제2 굴절률은 후술할 제1 굴절층(CL1-5)의 제1 굴절률보다 높은 굴절률을 갖는 물질일 수 있다.

[0140] 제2 굴절층(CL2-1)은 아크릴 또는 실록산과 같은 베이스 물질 및 상기 베이스 물질에 혼합된 고굴절 물질을 포함할 수 있다. 상기 고굴절 물질은 예를 들어, 지르코늄 옥사이드(ZrO_X), 이산화 타이타늄(TiO_2), 탄산칼슘($CaCO_3$), 이산화 규소(SiO_2), 산화 아연(ZnO), 수산화 알루미늄($Al(OH)_2$), 수산화 마그네슘($Mg(OH)_2$), 및 리토폰($BaSO_2$+ZnS) 중 적어도 하나 이상을 포함할 수 있다. 다만, 본 발명이 이에 제한되는 것은 아니고, 제2 굴절층(CL2-1)은 제1 굴절층(CL1-5)보다 고굴절 물질을 갖는 다면 특정 물질에 제한되는 것은 아니다.

[0141] 제2 굴절층(CL2-1)은 잉크젯 공정을 통해 발광 소자(ED) 위에 제공될 수 있으나, 제2 굴절층(CL2-1)을 형성하는 공정이 이에 제한되는 것은 아니다.

[0142] 제2 굴절층(CL2-1)은 렌즈 형상을 가질 수 있다. 즉, 제2 굴절층(CL2-1)의 최외곽 면은 곡률을 가질 수 있다. 제2 굴절층(CL2-1)은 패턴층이라 명칭될 수도 있다.

[0143] 차광층(BMa)은 제3 절연층(L3) 위에 배치될 수 있다. 차광층(BMa)은 연결 전극(CCE), 제1 전극(E1)의 일부분, 및 제2 전극(E2)의 일 부분을 커버할 수 있다.

[0144] 제1 굴절층(CL1-5)은 제2 굴절층(CL2-1) 및 차광층(BMa) 위에 배치될 수 있다. 제1 굴절층(CL1-5)은 최외곽면에 평탄면을 제공할 수 있다. 제1 굴절층(CL1-5)은 제1 굴절률을 갖는 물질을 포함할 수 있다. 상기 제1 굴절률은 상기 제2 굴절률보다 낮은 굴절률을 가질 수 있다. 제1 굴절층(CL1-5)은 예를 들어, 베이스 물질 및 베이스 물질에 혼합된 중공 입자를 포함할 수 있다.

[0145] 발광 소자(ED)로부터 출광되는 광(LGTa)은 제1 굴절층(CL1-5)과 제2 굴절층(CL2-1)의 경계면에서 굴절될 수 있다. 제1 굴절층(CL1-5)의 굴절률이 제2 굴절층(CL2-1)보다 굴절률이 작기 때문에, 광(LGTa)이 집광되는 효과를 가질 수 있다. 따라서, 표시 패널(DP-3)의 광 추출 효율이 향상될 수 있다.

[0146] 도 11은 본 발명의 일 실시예에 따른 표시 패널의 단면도이다. 도 11을 설명함에 있어서, 도 4에서 설명된 구성과 동일한 구성에 대해서는 동일한 도면 부호를 표기하고, 이에 대한 설명은 생략된다.

[0147] 도 11을 참조하면, 표시 패널(DP-4)은 컬러 필터층(CF)을 더 포함할 수 있다. 컬러 필터층(CF)은 외광 반사 감소를 위해 제공될 수 있다. 컬러 필터층(CF)은 외광에 의한 반사를 저감시켜 표시 품질을 개선할 수 있다. 본 발명의 일 실시예에 따르면, 표시 패널(DP-4)은 컬러 필터층(CF)을 포함하고, 편광 부재를 미포함할 수 있다. 따라서, 휘도의 저감을 최소화하면서 외광에 의한 반사를 줄임으로써 개선된 표시 품질을 나타낼 수 있다.

[0148] 차광층(BM) 및 컬러 필터층(CF)은 봉지층(ECL) 위에 배치될 수 있다. 봉지층(ECL) 위에는 평탄화층(PLL)이 배치될 수 있다. 평탄화층(PLL)은 차광층(BM) 및 컬러 필터층(CF)을 커버하며, 평탄면을 제공할 수 있다.

[0149] 차광층(BM)은 평면 상에서 제2 영역(AR2)과 중첩하며, 봉지층(ECL)과 평탄화층(PLL) 사이에 배치될 수 있다. 컬러 필터층(CF)은 평면 상에서 제1 영역(AR1)과 중첩하며, 봉지층(ECL)과 평탄화층(PLL) 사이에 배치될 수 있다.

[0150] 평탄화층(PLL) 위에는 제1 굴절층(CL1-6) 및 제2 굴절층(CL2-2)이 배치될 수 있다. 제1 굴절층(CL1-6)은 제1 굴절률을 갖는 물질을 포함하고, 제2 굴절층(CL2-2)은 상기 제1 굴절률보다 높은 제2 굴절률을 갖는 물질을 포함할 수 있다.

[0151] 제1 굴절층(CL1-6)은 평면상에서 제2 영역(AR2)과 중첩하고, 제2 굴절층(CL2-2)은 평면 상에서 제1 영역(AR1) 및 제2 영역(AR2)과 중첩할 수 있다. 제2 굴절층(CL2-2)은 표시 패널(DP-4)의 최외곽 면에 평탄면을 제공할 수 있다.

[0152] 도 12는 본 발명의 일 실시예에 따른 표시 패널의 단면도이다. 도 12를 설명함에 있어서, 도 4에서 설명된 구성과 동일한 구성에 대해서는 동일한 도면 부호를 표기하고, 이에 대한 설명은 생략된다.

[0153] 도 12를 참조하면, 제1 굴절층(CL1-7)은 봉지층(ECL) 위에 배치되며, 제1 굴절층(CL1-7)은 제1 영역(AR1)과 비중첩할 수 있다. 제2 굴절층(CL2-3)은 제1 굴절층(CL1-7)을 커버할 수 있다. 제1 굴절층(CL1-7)의 굴절률은 제2 굴절층(CL2-3)의 굴절률보다 낮을 수 있고, 제1 굴절층(CL1-7)으로 입사된 광은 제1 굴절층(CL1-7)과 제2 굴절층(CL2-3) 사이의 경계로부터 전반사되거나 굴절되어 발광 영역(PXA)으로 출광될 수 있다.

[0154] 표시 패널(DP-4)은 컬러 필터층(CF-1)을 더 포함할 수 있다. 차광층(BMb) 및 컬러 필터층(CF-1)은 제2 굴절층(CL2-3) 위에 배치될 수 있다. 차광층(BMb)은 평면 상에서 제1 및 제2 트랜지스터들(TR1, TR2)과 중첩하고, 컬러 필터층(CF-1)은 평면 상에서 발광 소자(ED)와 중첩할 수 있다.

[0155] 도 13은 본 발명의 일 실시예에 따른 표시 패널의 단면도이다. 도 13을 설명함에 있어서, 도 12와의 차이점에 대해서만 설명하고 나머지 구성요소에 대한 설명은 생략된다.

[0156] 도 13을 참조하면, 표시 패널(DP-6)은 컬러 필터층(CF-2) 및 평탄화층(PLL-1)을 더 포함할 수 있다.

[0157] 컬러 필터층(CF-2)은 박막 봉지층(ECL)과 제2 굴절층(CL2-3) 사이에 배치된다. 즉, 제2 굴절층(CL2-3)은 컬러 필터층(CF-2)과 제1 굴절층(CL1-7)을 모두 커버할 수 있다.

[0158] 차광층(BMb)은 제2 굴절층(CL2-3) 위에 배치되고, 제2 굴절층(CL2-3) 위에는 차광층(BMb)을 커버하며 평탄면을 제공하는 평탄화층(PLL-1)이 배치될 수 있다.

[0159] 도 14는 본 발명의 일 실시예에 따른 표시 패널의 단면도이다. 도 14를 설명함에 있어서, 도 11에서 설명된 구성과 동일한 구성에 대해서는 동일한 도면 부호를 표기하고, 이에 대한 설명은 생략된다.

[0160] 도 11의 표시 패널(DP-4)과 비교하였을 때, 도 14의 표시 패널(DP-7)은 패턴층(PTL)을 더 포함할 수 있다.

[0161] 패턴층(PTL)은 봉지층(ECLa) 아래에 배치된다. 패턴층(PTL)은 평면 상에서, 제1 영역(AR1) 및 발광 소자(ED)와 중첩하며, 발광 소자(ED)를 커버할 수 있다. 패턴층(PTL)은 단면 상에서 볼록한 렌즈 형상을 가질 수 있다. 패턴층(PTL)은 봉지층(ECLa)보다 높은 굴절률을 가질 수 있다. 따라서, 발광 소자(ED)로부터 출광하여, 패턴층(PTL)을 통해 봉지층(ECLa)으로 입사되는 광은 집광될 수 있다.

[0162] 패턴층(PTL)은 베이스 물질 및 굴절률을 향상시킬 수 있는 고굴절 물질을 포함할 수 있다. 예를 들어, 상기 베이스 물질은 아크릴 또는 실록산을 포함할 수 있다. 상기 고굴절 물질을 예를 들어, 지르코늄 옥사이드(ZrO_X), 이산화 타이타늄(TiO_2), 탄산칼슘($CaCO_3$), 이산화 규소(SiO_2), 산화 아연(ZnO), 수산화 알루미늄($Al(OH)_2$), 수산화 마그네슘($Mg(OH)_2$), 및 리토폰($BaSO_2$+ZnS) 중 적어도 하나 이상을 포함할 수 있다. 발광 소자(ED)로부터 출광된 광은 패턴층(PTL)과 봉지층(ECLa)의 경계에서 1차로 집광되고, 평탄화층(PLL) 상부에 배치된 제1 굴절층(CL1-6) 및 제2 굴절층(CL2-2)의 경계로부터 전반사 또는 굴절되어 2차로 집광될 수 있다. 따라서, 표시 패널(DP-7)의 출광 효율이 향상될 수 있다.

[0163] 도 15 및 도 16은 본 발명의 일 실시예에 따른 표시 패널의 단면도들이다.

[0164] 도 15를 참조하면, 표시 패널(DP-8)은 도 12에 도시된 표시 패널(DP-5) 및 도 14에 도시된 표시 패널(DP-7)이 조합된 구성을 가질 수 있다. 예를 들어, 도 15에 도시된 제1 부분(PT1)은 도 14에 도시된 표시 패널(DP-7)의 구성 중 일부와 동일할 수 있고, 도 15에 도시된 제2 부분(PT2)은 도 12에 도시된 표시 패널(DP-5)의 구성 중 일부와 동일할 수 있다.

[0165] 도 16을 참조하면, 표시 패널(DP-9)은 도 13에 도시된 표시 패널(DP-6) 및 도 14에 도시된 표시 패널(DP-7)이 조합된 구성을 가질 수 있다. 예를 들어, 도 16에 도시된 제1 부분(PT1a)은 도 14에 도시된 표시 패널(DP-7)의 구성과 동일할 수 있고, 도 16에 도시된 제2 부분(PT2a)은 도 13에 도시된 표시 패널(DP-6)의 구성과 동일할 수

있다.

[0166] 표시 패널은 도 15 및 도 16에 도시된 조합 외에 다양한 조합으로 구성될 수 있다. 예를 들어, 제2 부분(PT2, PT2a)은 도 4에 도시된 표시 패널(DP) 및 도 8에 도시된 표시 패널(DP-1)의 구성으로 치환될 수도 있다.

[0167] 도 17은 본 발명의 일 실시예에 따른 표시 패널의 단면도이다. 도 17에서는, 도 10에서 설명된 구성과 차이가 있는 부분에 대해서 설명된다. 동일한 구성에 대해서는 동일한 도면 부호를 표기하고, 이에 대한 설명은 생략된다.

[0168] 도 17의 표시 패널(DP-10)은 도 10의 표시 패널(DP-3)과 비교하였을 때, 컬러 필터층(CF-3) 및 평탄화층(PLL-2)을 더 포함할 수 있다.

[0169] 컬러 필터층(CF-3)은 제1 굴절층(CL1-5) 위에 배치되고, 평면 상에서 제1 영역(AR1) 및 발광 소자(ED)와 중첩하며 배치될 수 있다. 평탄화 층(PLL-2)은 제1 굴절층(CL1-5) 위에 배치되며, 컬러 필터층(CF-3)을 커버할 수 있다.

[0170] 도 18은 본 발명의 일 실시예에 따른 표시 패널의 단면도이다.

[0171] 도 18의 표시 패널(DP-11)은 도 14의 표시 패널(DP-7)의 제1 굴절층(CL1-6) 및 제2 굴절층(CL2-2)이 생략된 구조와 동일할 수 있다. 발광 소자(ED)를 커버하는 패턴층(PTL)은 도 10에서 설명된 제2 굴절층(CL2-1)과 실질적으로 동일한 구성일 수 있다. 제1 굴절층(CL1-6) 및 제2 굴절층(CL2-2)이 생략됨에 따라 박형의 표시 패널(DP-11)이 제공될 수 있다.

[0172] 도 18의 패턴층(PLT)은 제2 굴절층으로 명칭될 수 있고, 봉지층(ECLa)은 제1 굴절층으로 명칭될 수 있다. 패턴층(PLT)은 도 10의 제2 굴절층(CL2-1)과 실질적으로 동일할 수 있고, 봉지층(ECLa)은 도 10의 제1 굴절층(CL1-5)과 실질적으로 동일할 수 있다.

[0173] 도 19는 본 발명의 일 실시예에 따른 표시 장치의 일 부분을 확대하여 도시한 단면도이다.

[0174] 도 19를 참조하면, 화소 회로층(PXCL)에는 홈(HM-1)이 정의될 수 있다. 홈(HM-1)은 제1 내지 제3 절연층들(L1, L2, L3)의 단부를 포함하는 경사부(SLP)에 의해 정의될 수 있다.

[0175] 발광 소자(ED)를 기준으로 일측에 정의된 경사부(SLP)는 제1 전극(E1a)에 의해 커버되고, 다른 일측에 정의된 경사부(SLP)는 제2 전극(E2a)에 의해 커버될 수 있다.

[0176] 제1 전극(E1a) 및 제2 전극(E2a) 각각은 복수의 적층 구조를 가질 수 있다. 제1 전극(E1a)은 순차적으로 적층된 제1 전극층(E1x), 제2 전극층(E1y) 및 제3 전극층(E1z)을 포함할 수 있고, 제2 전극(E2a)은 순차적으로 적층된 제1 전극층(E2x), 제2 전극층(E2y) 및 제3 전극층(E2z)을 포함할 수 있다.

[0177] 제1 전극층(E1x), 제3 전극층(E1z), 제1 전극층(E2x), 및 제3 전극층(E2z)은 인듐 주석 산화물(ITO)를 포함할 수 있고, 제2 전극층(E1y), 및 제2 전극층(E2y)은 반사성 물질, 예를 들어, 은(Ag)을 포함할 수 있다. 따라서, 발광 소자(ED)로부터 출광된 광은 제1 전극(E1a) 및 제2 전극(E2a)에 반사될 수 있다.

[0178] 본 발명의 일 실시예에서, 홈(HM-1)의 깊이(DET)는 발광 소자(ED)의 두께(HIT)보다 클 수 있다. 발광 소자(ED)의 두께에 따라, 제3 절연층(L3)의 두께(TKN)를 조절하여 홈(HM-1)의 깊이(DET)를 조절할 수 있다. 발광 소자(ED)는 홈(HM-1) 내부에 완전히 수용될 수 있다. 따라서, 발광 소자(ED)로부터 제공된 광은 제1 전극(E1a) 및 제2 전극(E2a)에서 반사될 수 있다. 따라서, 표시 패널(DP, 도 4 참조)의 출광 효율이 향상될 수 있다.

[0179] 본 발명의 다른 일 실시예에서, 발광 소자(ED)에서 출광된 광은 제1 전극(E1a) 및 제2 전극(E2a)에 반사되어 광경로가 충분히 제어될 수 있다. 따라서, 앞서 설명된 제1 굴절층들 및 제2 굴절층들은 생략될 수도 있다. 또한, 본 발명의 다른 일 실시예에서, 차광층은 발광 소자(ED)가 배치된 기판이 아닌 다른 기판 상에 배치될 수 있다. 예를 들어, 차광층은 발광 소자(ED)와 마주하는 대향 기판 상에 제공될 수 있다. 이 경우, 상기 대향 기판은 리지드한 기판일 수 있으며, 예를 들어, 글라스 기판 일 수 있다.

[0180] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0181] DD: 표시 장치 DP: 표시 패널

BL: 베이스층 PXCL: 화소 회로층

E1: 제1 전극 E2: 제2 전극

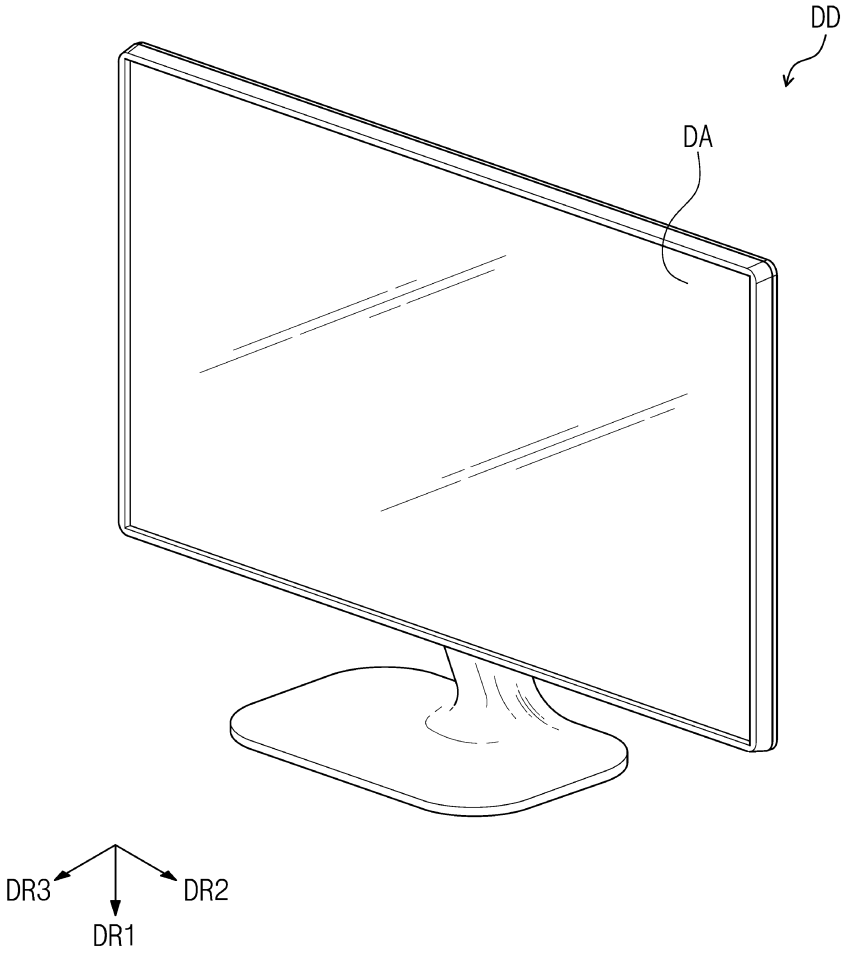
ED: 발광 소자 ECL: 봉지층

CL1: 제1 굴절층 CL2: 제2 굴절층

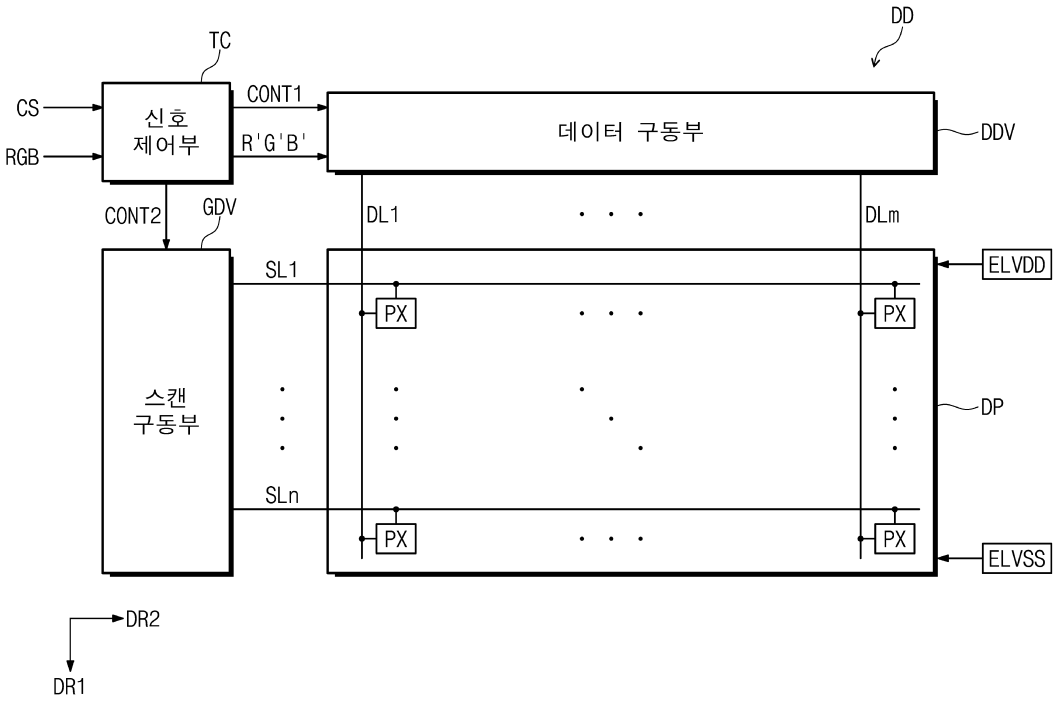
BL: 차광층 CL: 컬러 필터층

도면

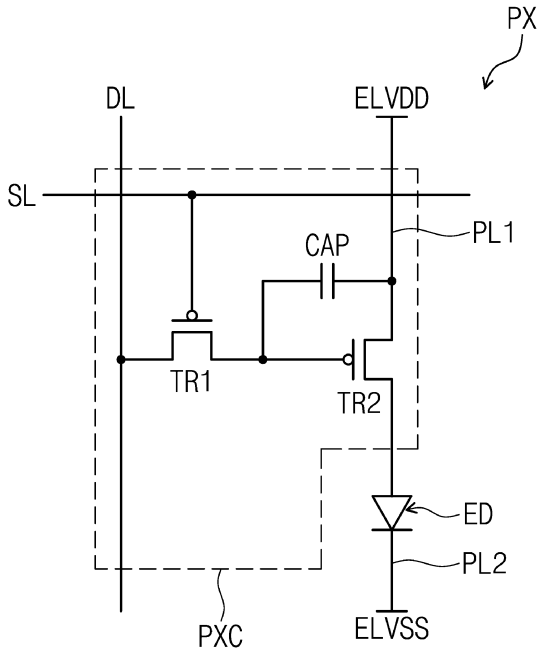
도면1



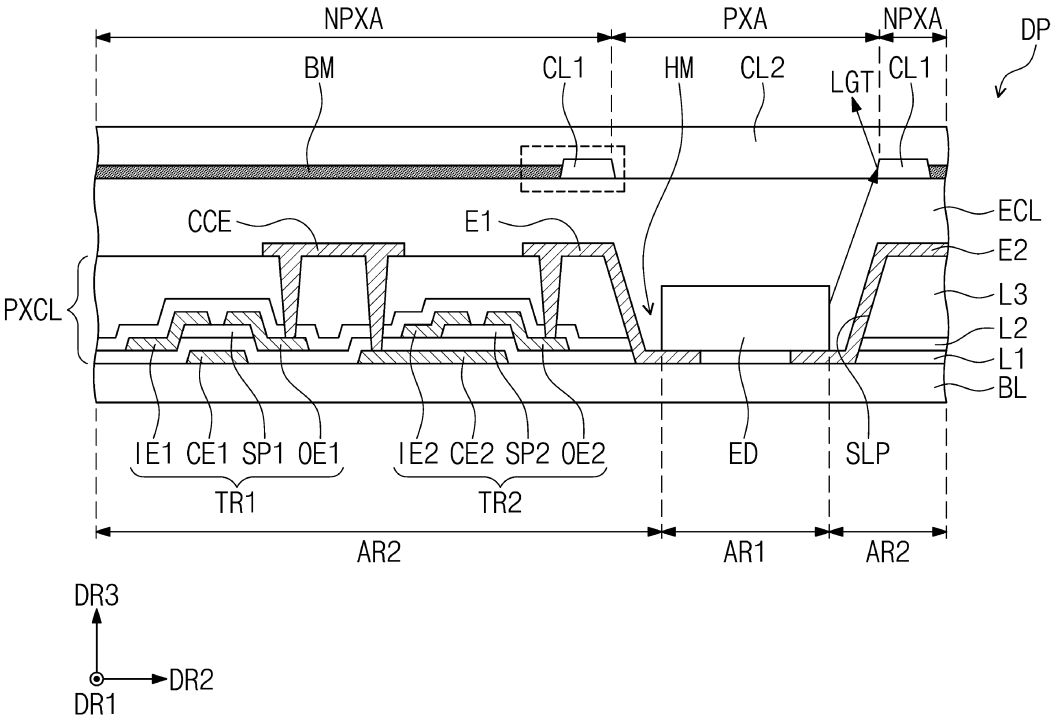
도면2


DD
TC
CS
RGB
신호
제어부
CONT1
R'G'B'
데이터 구동부
DDV
CONT2
GDV
DL1
DLm
SL1
ELVDD
PX
스캔
구동부
DP
SLn
ELVSS
DR2
DR1

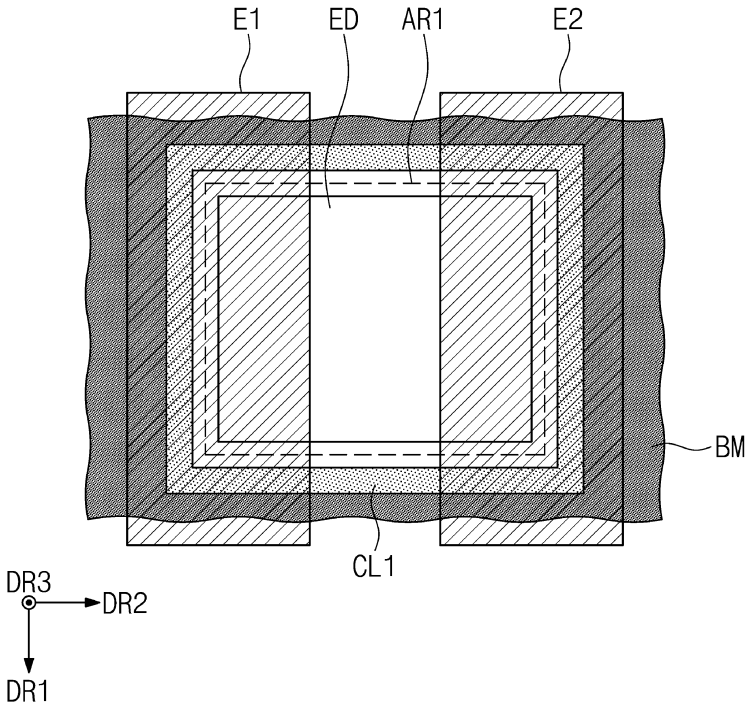
도면3


PX
DL
ELVDD
SL
PL1
CAP
TR1
TR2
ED
PL2
PXC
ELVSS

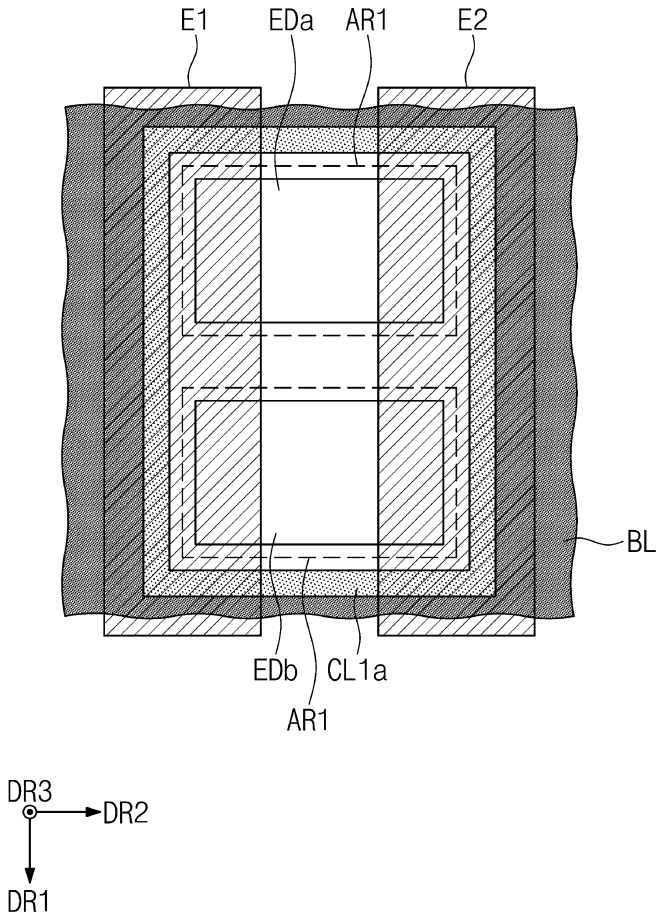
도면4


NPXA
PXA
NPXA
DP
BM
CL1
HM
CL2
LGT
CL1
CCE
E1
ECL
E2
PXCL
L3
L2
L1
BL
IE1 CE1 SP1 OE1
IE2 CE2 SP2 OE2
ED
SLP
TR1
TR2
AR2
AR1
AR2
DR3
DR2
DR1

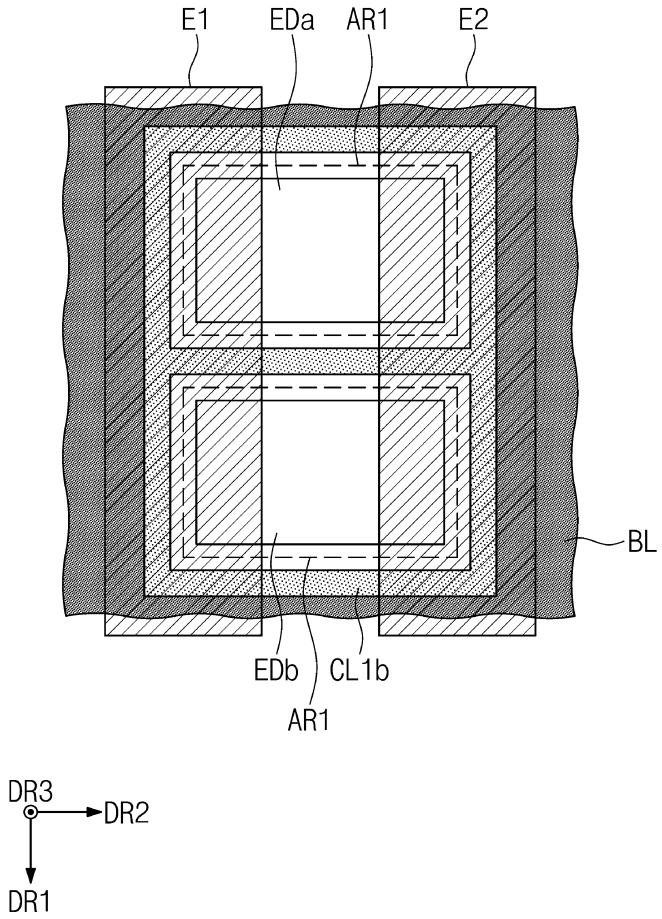
도면5


E1
ED
AR1
E2
BM
CL1
DR3
DR2
DR1

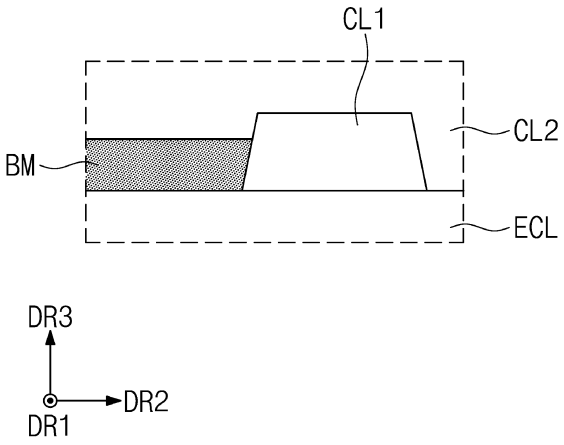
도면6a



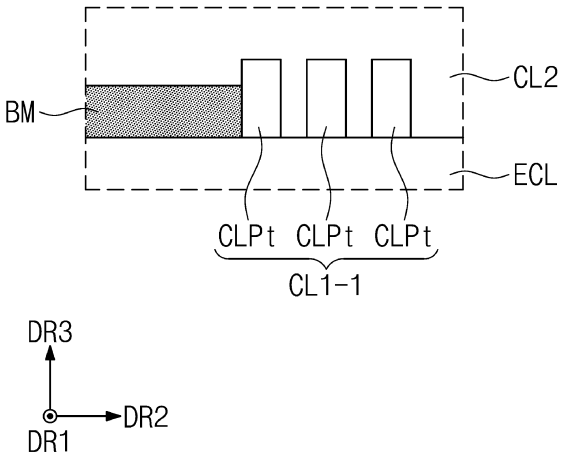
도면6b


E1
EDa
AR1
E2
BL
EDb
CL1b
AR1
DR3
DR2
DR1

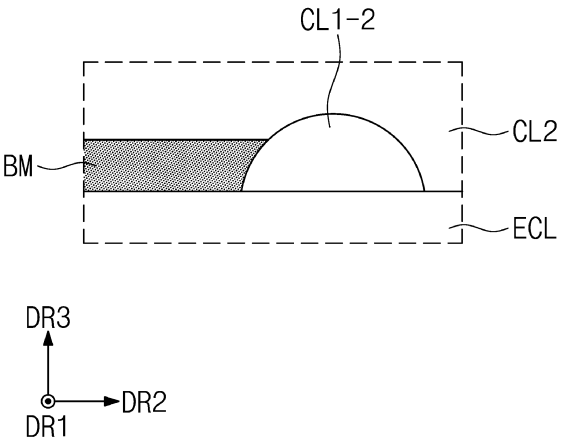
도면7a


CL1
CL2
BM
ECL
DR3
DR2
DR1

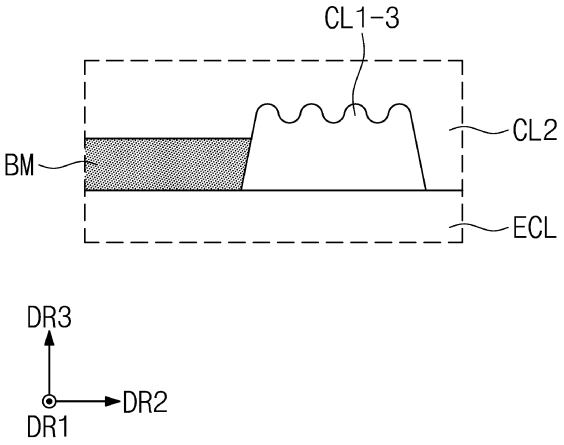
도면7b



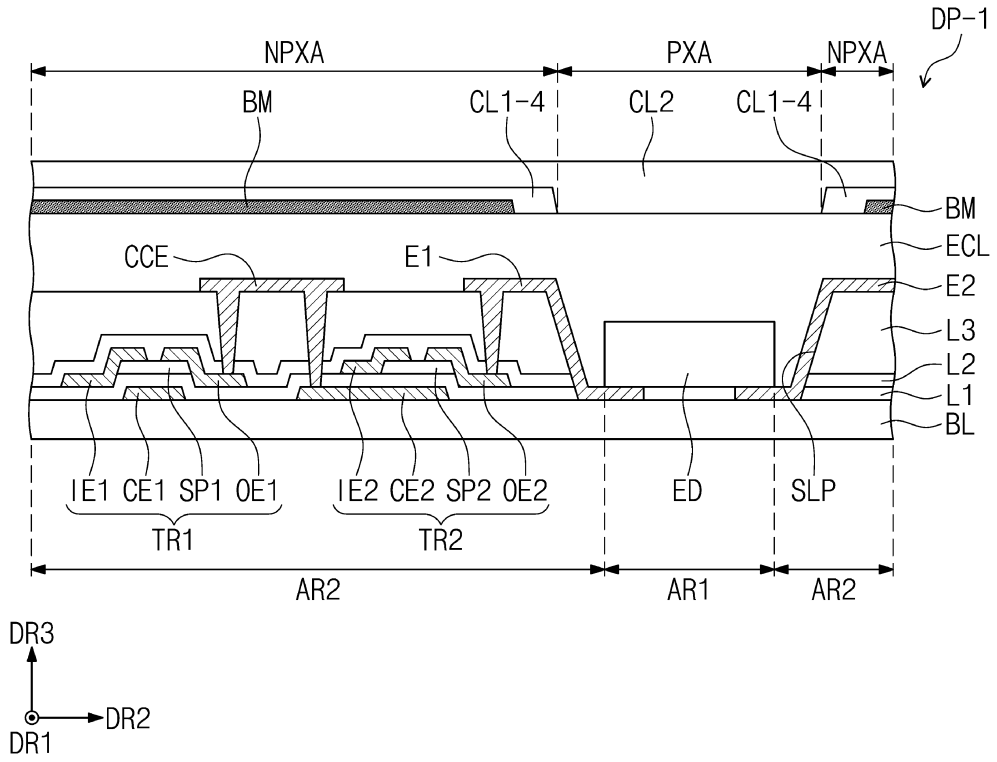
도면7c



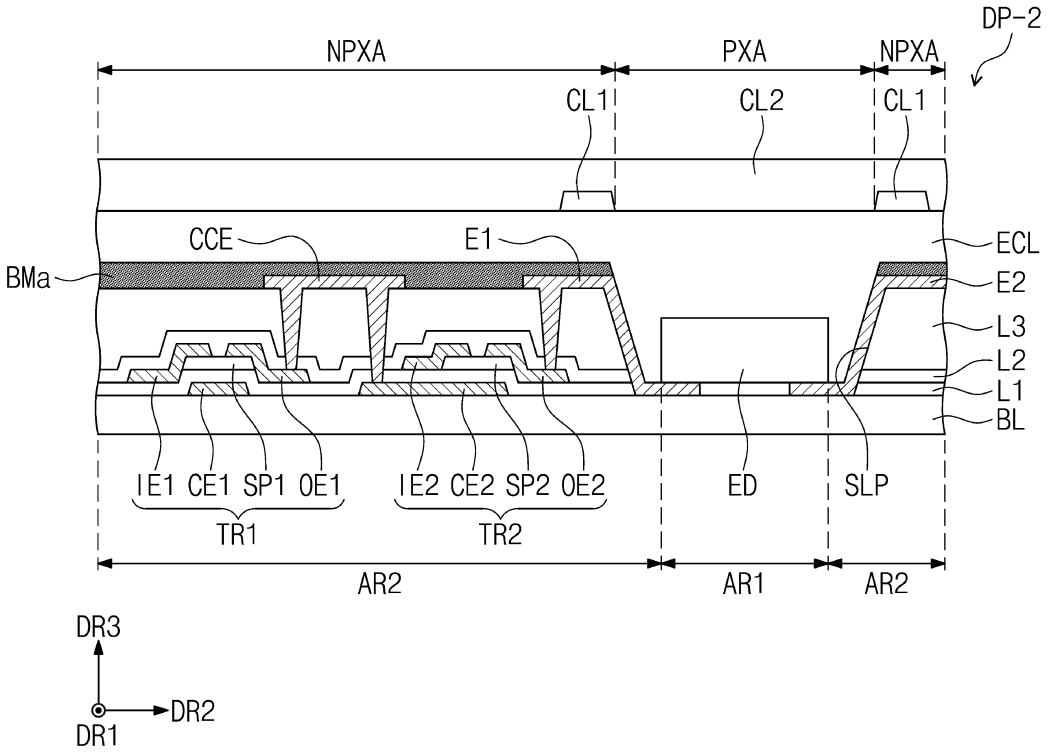
도면7d



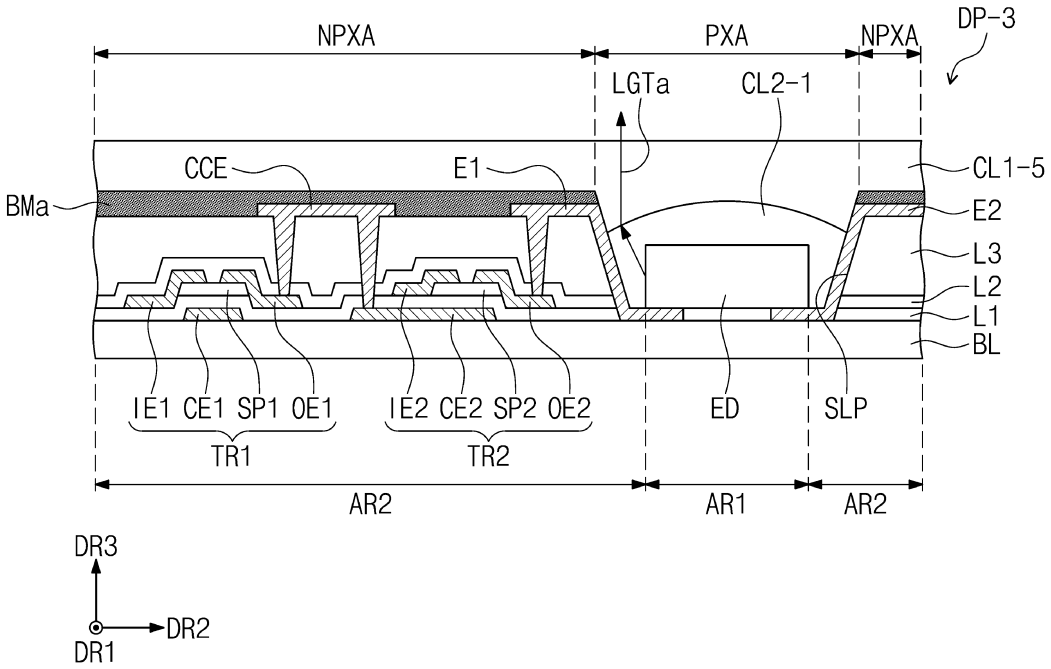
도면8


DP-1
NPXA
PXA
NPXA
BM
CL1-4
CL2
CL1-4
BM
ECL
E2
L3
L2
L1
BL
CCE
E1
IE1 CE1 SP1 OE1
IE2 CE2 SP2 OE2
ED
SLP
TR1
TR2
AR2
AR1
AR2
DR3
DR2
DR1

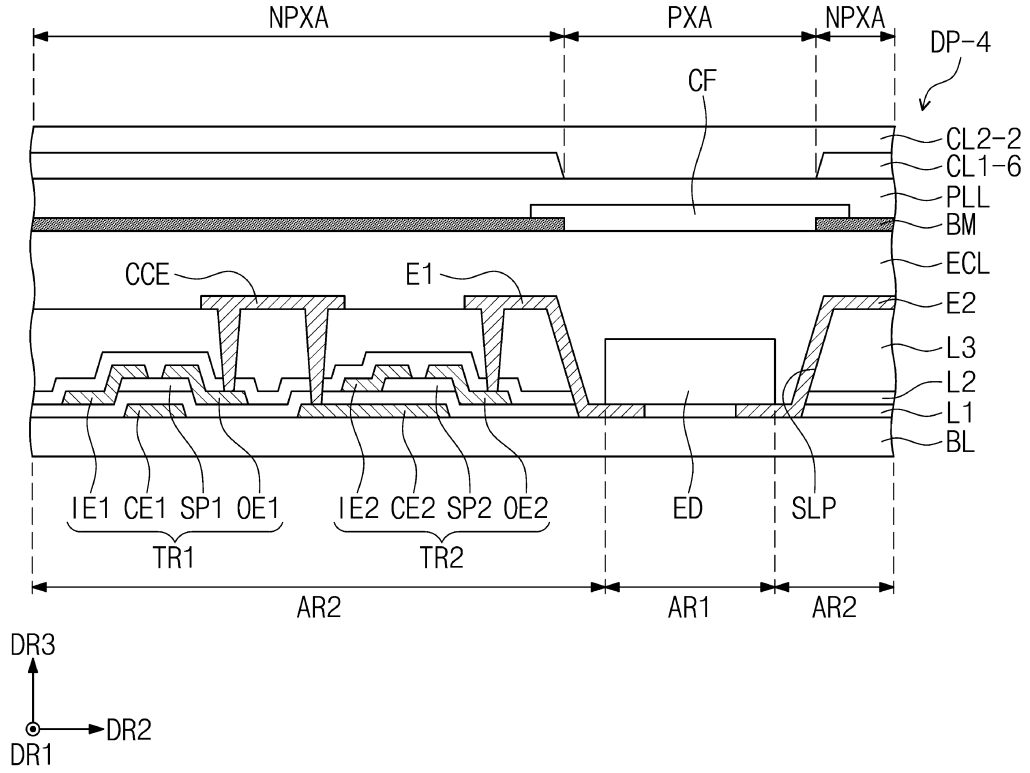
도면9


DP-2
NPXA
PXA
NPXA
CL1
CL2
CL1
BMa
CCE
E1
ECL
E2
L3
L2
L1
BL
IE1 CE1 SP1 OE1
IE2 CE2 SP2 OE2
ED
SLP
TR1
TR2
AR2
AR1
AR2
DR3
DR2
DR1

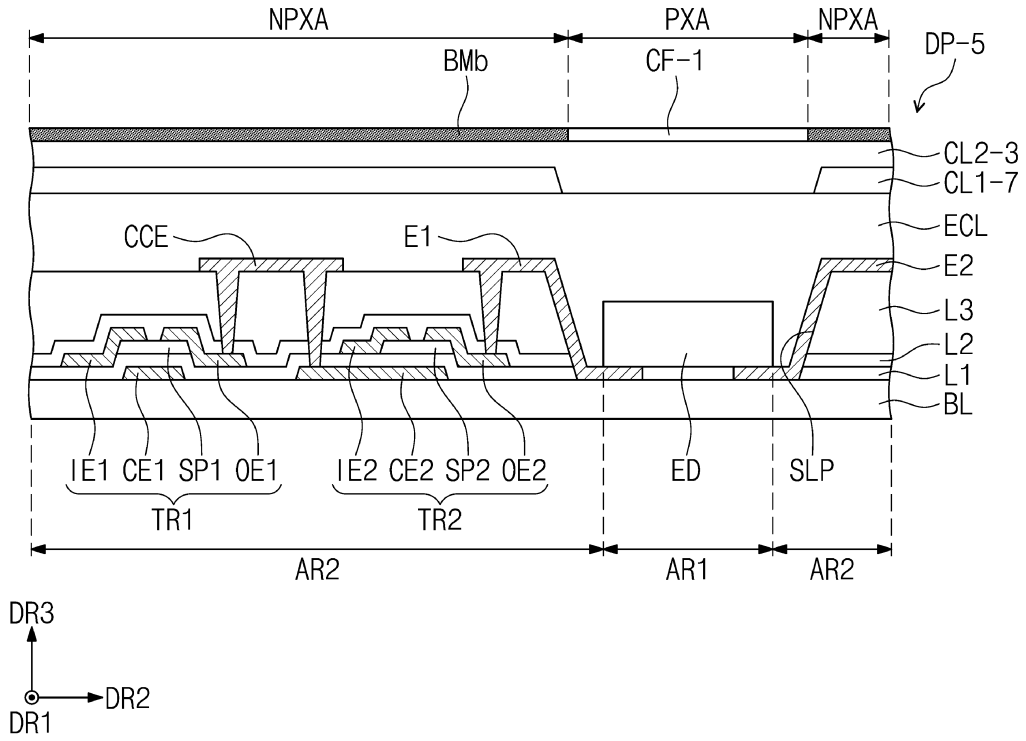
도면10


NPXA
PXA
NPXA
DP-3
LGTa
CL2-1
CCE
E1
CL1-5
BMa
E2
L3
L2
L1
BL
IE1 CE1 SP1 OE1
IE2 CE2 SP2 OE2
ED
SLP
TR1
TR2
AR2
AR1
AR2
DR3
DR2
DR1

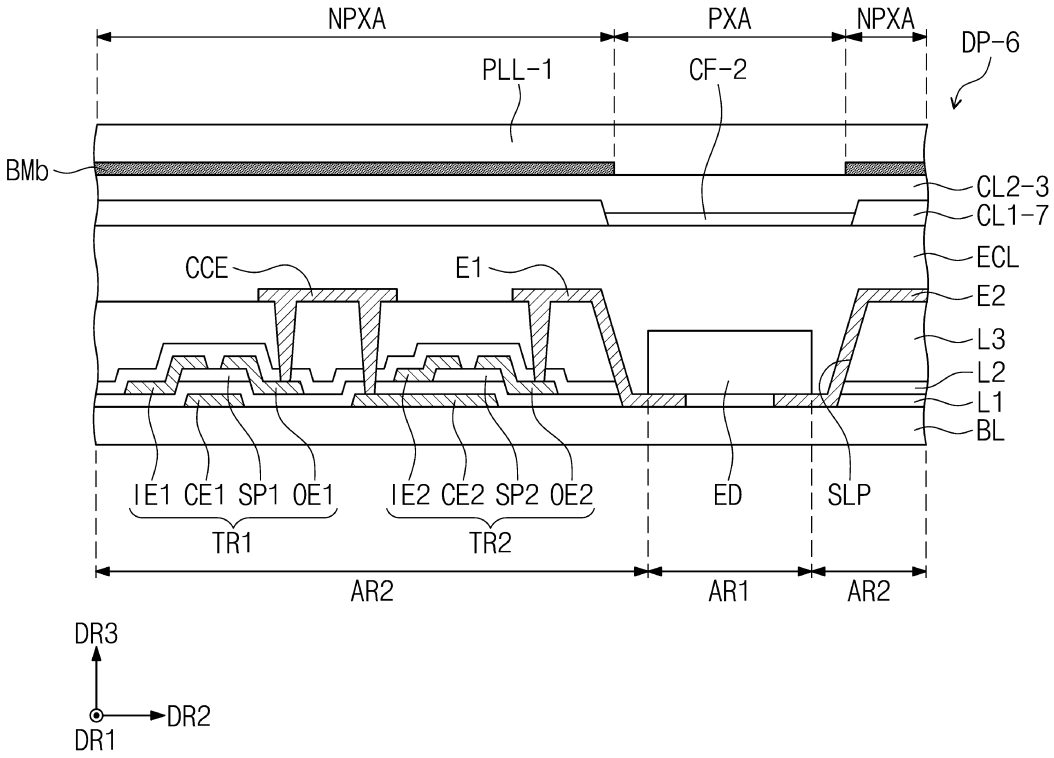
도면11


NPXA
PXA
NPXA
DP-4
CF
CL2-2
CL1-6
PLL
BM
ECL
CCE
E1
E2
L3
L2
L1
BL
IE1 CE1 SP1 OE1
IE2 CE2 SP2 OE2
ED
SLP
TR1
TR2
AR2
AR1
AR2
DR3
DR2
DR1

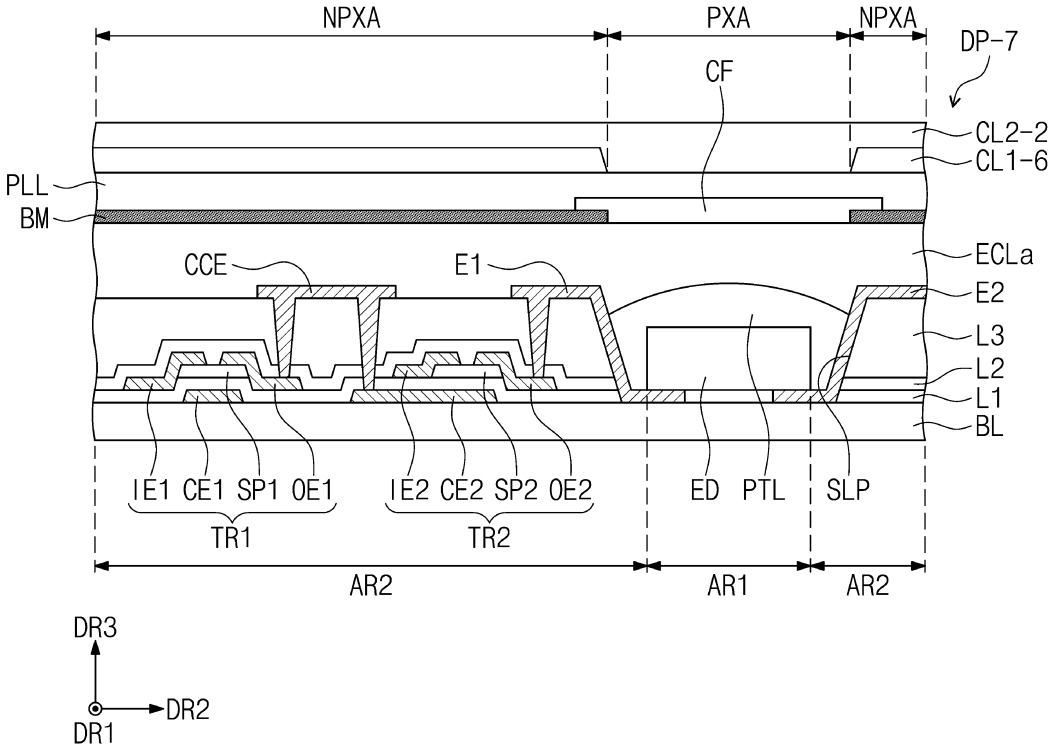
도면12


NPXA
PXA
NPXA
DP-5
BMb
CF-1
CL2-3
CL1-7
ECL
E2
L3
L2
L1
BL
CCE
E1
IE1 CE1 SP1 OE1
IE2 CE2 SP2 OE2
ED
SLP
TR1
TR2
AR2
AR1
AR2
DR3
DR2
DR1

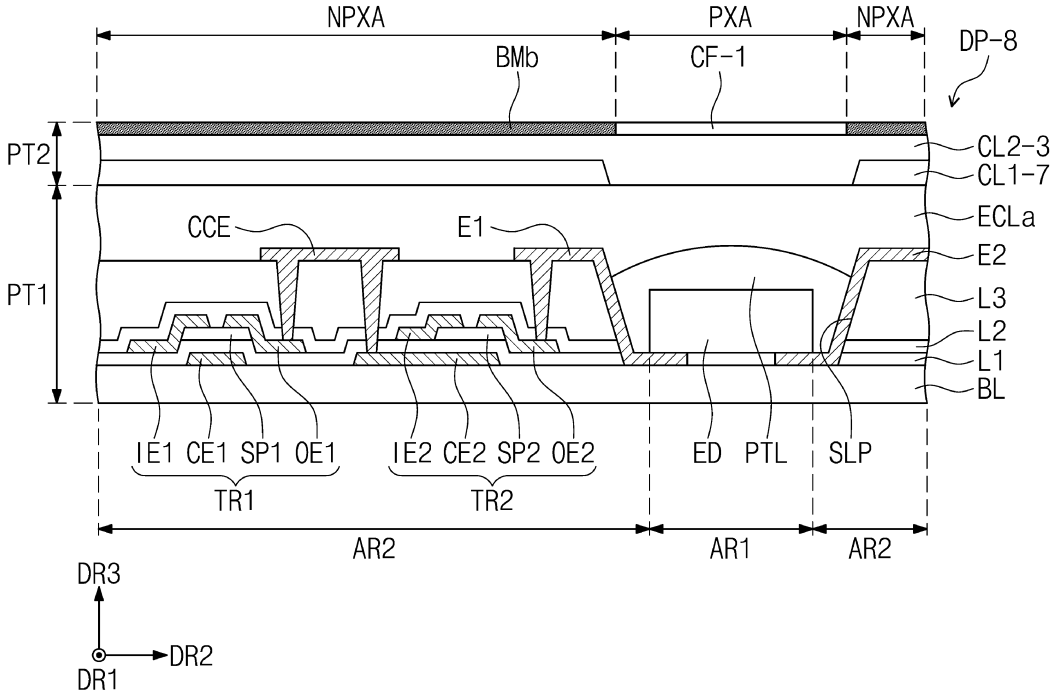
도면13


NPXA
PXA
NPXA
DP-6
PLL-1
CF-2
BMb
CL2-3
CL1-7
ECL
E2
L3
L2
L1
BL
CCE
E1
IE1 CE1 SP1 OE1
IE2 CE2 SP2 OE2
ED
SLP
TR1
TR2
AR2
AR1
AR2
DR3
DR2
DR1

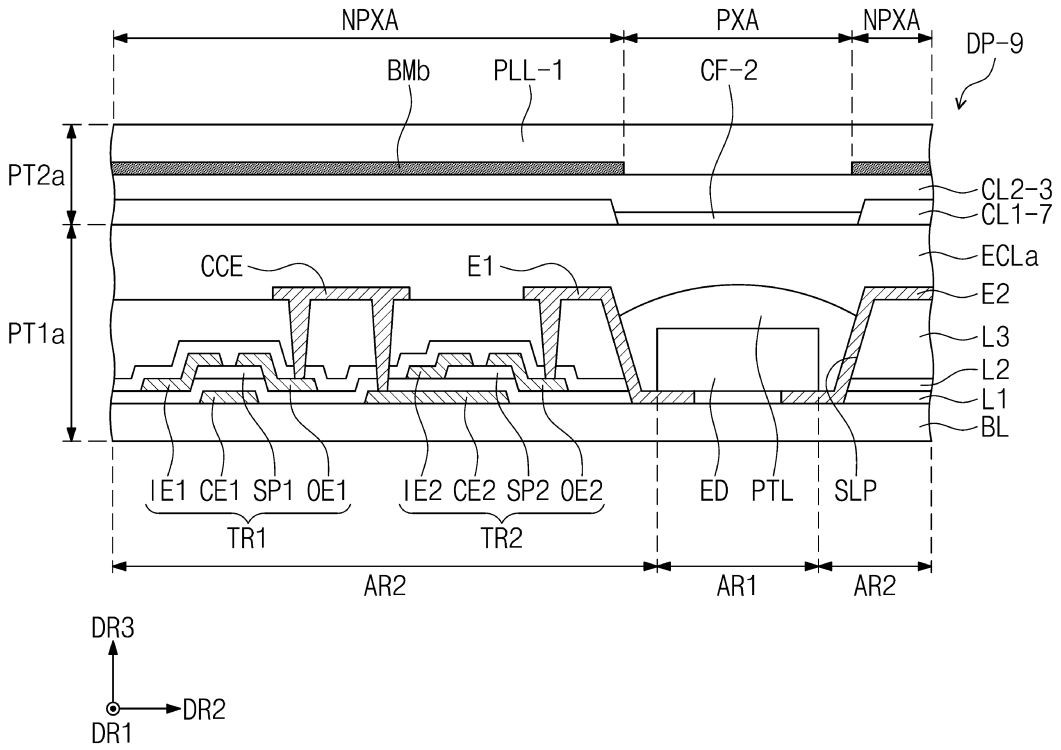
도면14


NPXA
PXA
NPXA
DP-7
CF
CL2-2
CL1-6
PLL
BM
ECLa
CCE
E1
E2
L3
L2
L1
BL
IE1 CE1 SP1 OE1
IE2 CE2 SP2 OE2
ED
PTL
SLP
TR1
TR2
AR2
AR1
AR2
DR3
DR2
DR1

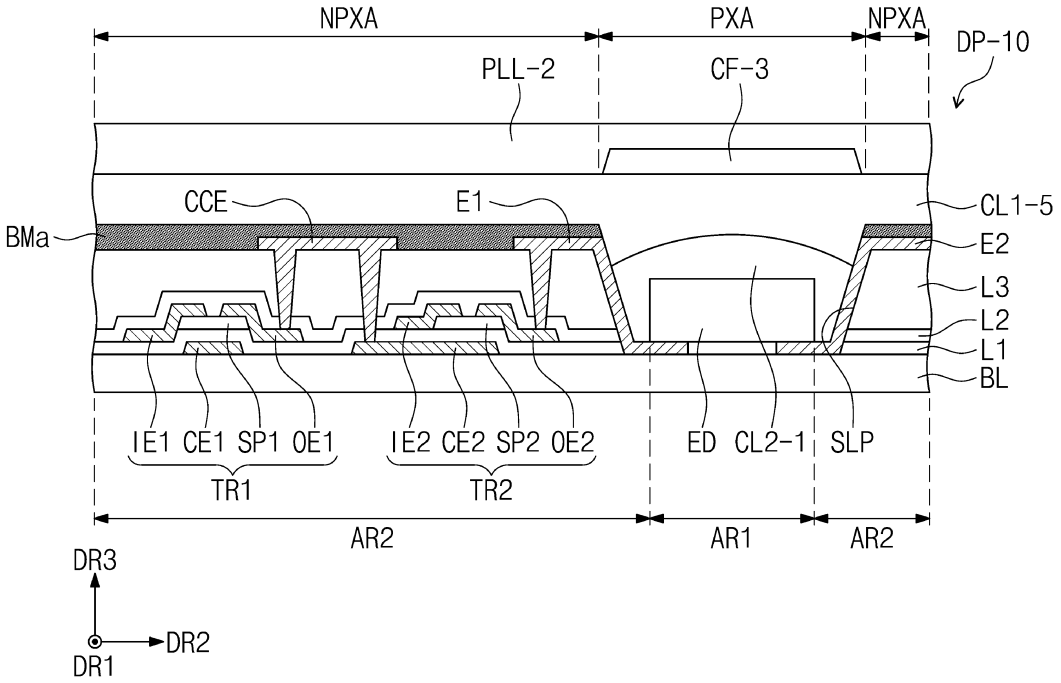
도면15


NPXA
PXA
NPXA
DP-8
BMb
CF-1
CL2-3
CL1-7
PT2
PT1
ECLa
CCE
E1
E2
L3
L2
L1
BL
IE1 CE1 SP1 OE1
IE2 CE2 SP2 OE2
ED
PTL
SLP
TR1
TR2
AR2
AR1
AR2
DR3
DR2
DR1

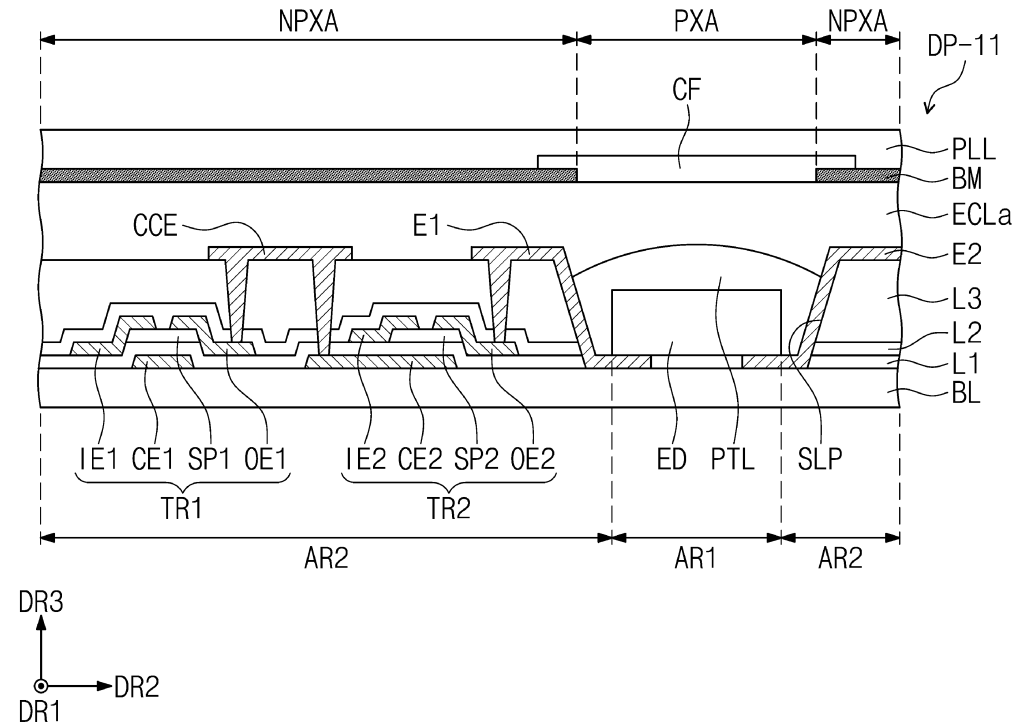
도면16


NPXA
PXA
NPXA
DP-9
BMb
PLL-1
CF-2
PT2a
CL2-3
CL1-7
ECLa
CCE
E1
E2
PT1a
L3
L2
L1
BL
IE1 CE1 SP1 OE1
IE2 CE2 SP2 OE2
ED
PTL
SLP
TR1
TR2
AR2
AR1
AR2
DR3
DR2
DR1

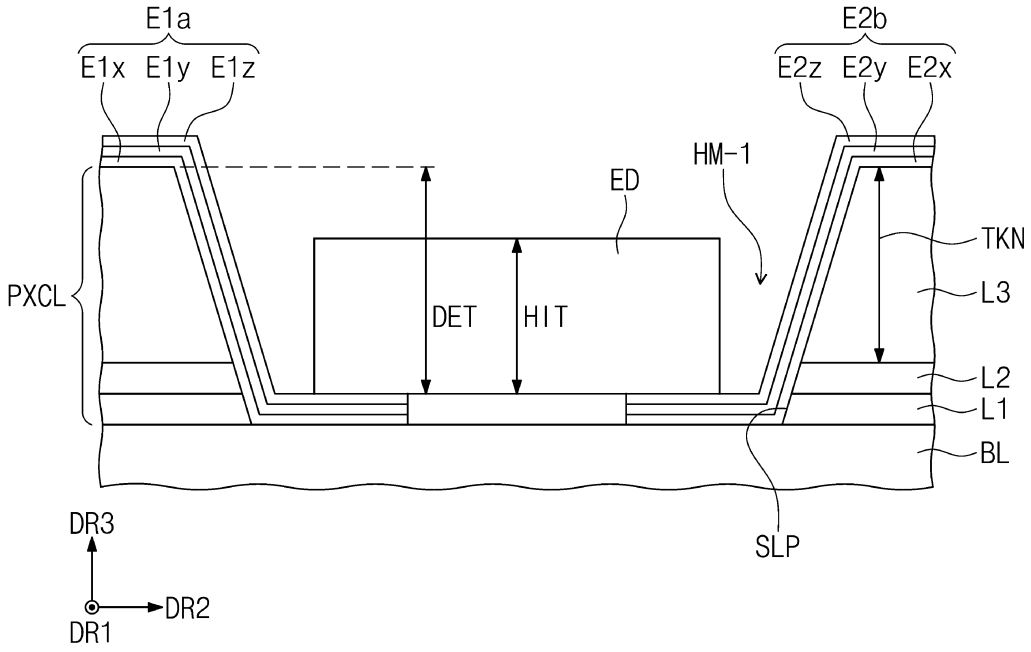
도면17


NPXA
PXA
NPXA
DP-10
PLL-2
CF-3
CCE
E1
CL1-5
BMa
E2
L3
L2
L1
BL
IE1 CE1 SP1 OE1
IE2 CE2 SP2 OE2
ED
CL2-1
SLP
TR1
TR2
AR2
AR1
AR2
DR3
DR2
DR1

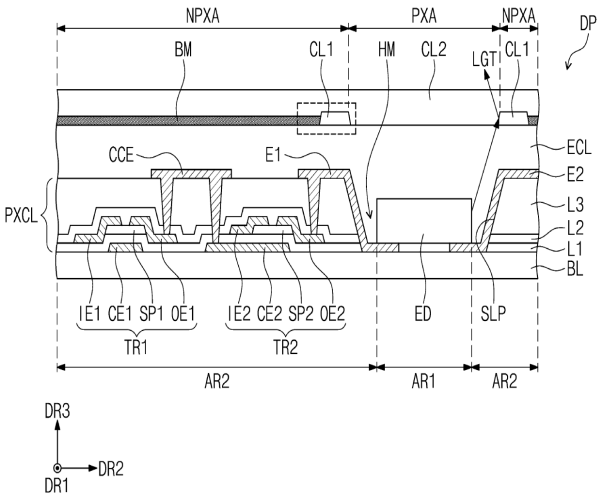
도면18


NPXA
PXA
NPXA
DP-11
CF
PLL
BM
ECLa
E2
L3
L2
L1
BL
CCE
E1
IE1 CE1 SP1 OE1
IE2 CE2 SP2 OE2
ED
PTL
SLP
TR1
TR2
AR2
AR1
AR2
DR3
DR2
DR1

도면19


E1a
E1x E1y E1z
E2b
E2z E2y E2x
HM-1
ED
TKN
L3
PXCL
DET
HIT
L2
L1
BL
SLP
DR3
DR2
DR1

专利名称(译)	显示装置		
公开(公告)号	KR1020200038342A	公开(公告)日	2020-04-13
申请号	KR1020180117271	申请日	2018-10-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김웅식 한세희		
发明人	김웅식 한세희		
IPC分类号	H01L27/15 H01L33/20 H01L33/40 H01L33/52 H01L33/58		
CPC分类号	H01L27/156 H01L33/20 H01L33/40 H01L33/52 H01L33/58 H01L33/44 H01L33/46 H01L25/0753 H01L25/167 H01L33/405 H01L33/60		
外部链接	Espacenet		

摘要(译)

一种显示装置，包括：基层；设置在基层上并包括像素电路和多个绝缘层的像素电路层；电连接到像素电路的第一电极；与第一电极间隔开的第二电极； 电连接到第一电极和第二电极的发光元件，设置在像素电路层上并具有第一折射率的第一折射层，以及设置在发光元件上并具有大于第二折射率的第二折射层 第一折射率。